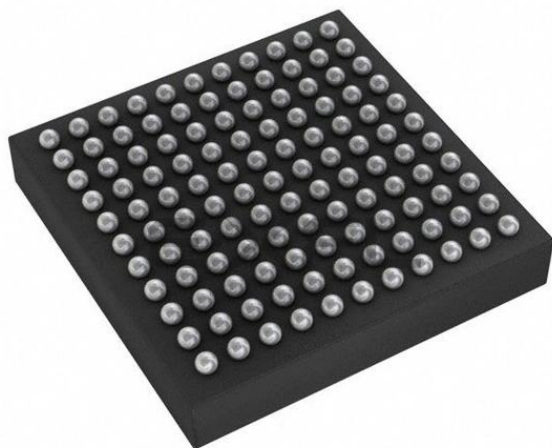




Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	ARM® Cortex®-M4F
Core Size	32-Bit Single-Core
Speed	160MHz
Connectivity	CSIO, EBI/EMI, I ² C, LINbus, UART/USART
Peripherals	DMA, LVD, POR, PWM, WDT
Number of I/O	100
Program Memory Size	544KB (544K x 8)
Program Memory Type	FLASH
EEPROM Size	-
RAM Size	64K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b; D/A 2x12b
Oscillator Type	Internal
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	121-TFBGA
Supplier Device Package	121-FBGA (6x6)
Purchase URL	https://www.e-xfl.com/product-detail/infineon-technologies/s6e2h16g0agb3000a

VBAT

RTC(カレンダー回路)/32 kHz 発振回路に独立した電源を供給することで、RTC 動作時の消費電力を低減できます。

VBAT には以下の回路が含まれます。

■RTC

■32 kHz 発振回路

■パワーオン回路

■バックアップレジスタ: 32 バイト

■ポート回路

デバッグ

■シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)

■エンベデッド・トレース・マクロセル(ETM)

ユニーク ID

41 ビットのデバイス固有の値を設定済み

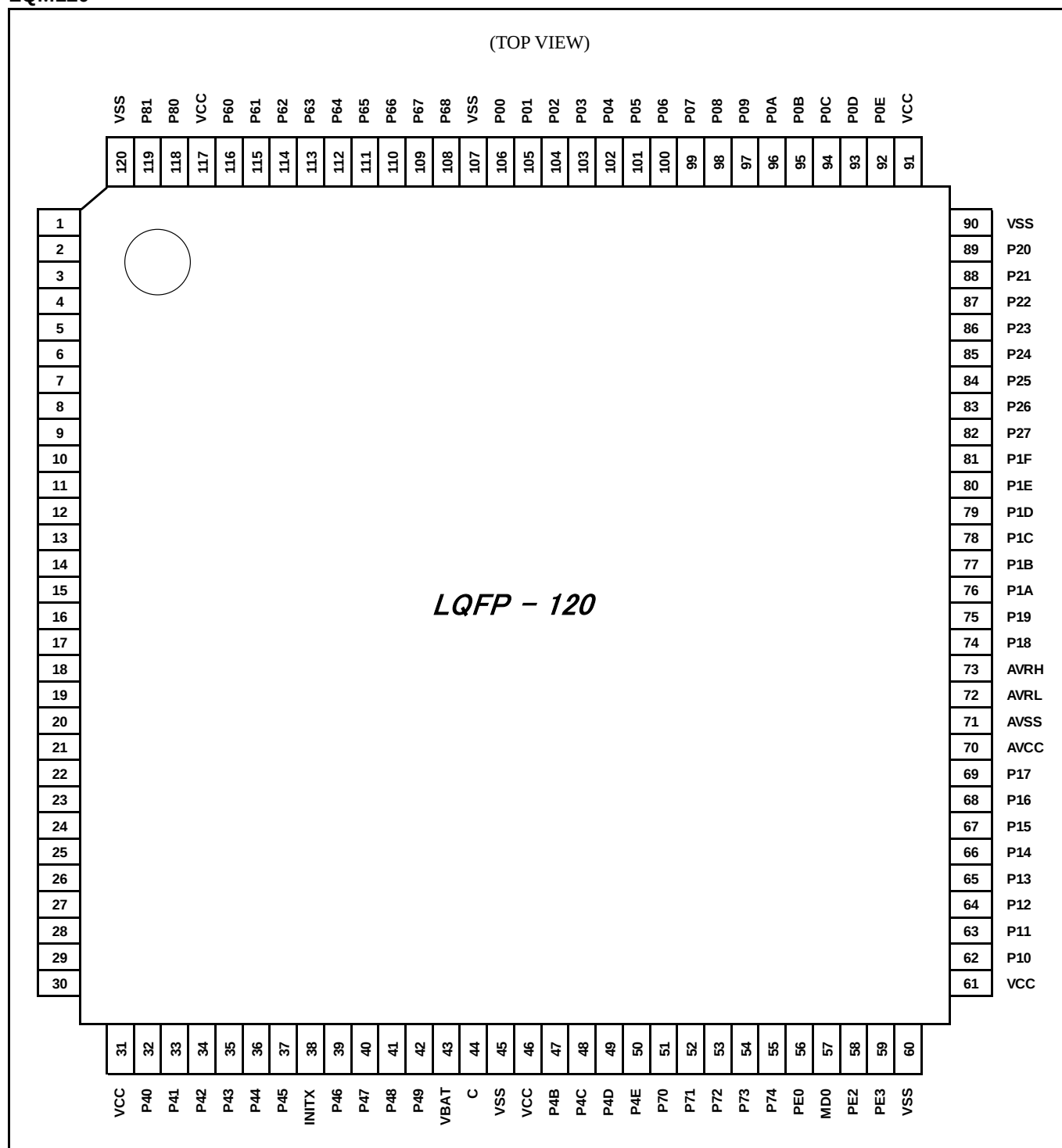
電源

2 種類の電源

■ワイドレンジ電圧対応: VCC = 2.7 V~5.5 V

■VBAT 用電源: VBAT = 2.7 V~5.5 V

LQM120



FDI121

(TOP VIEW)

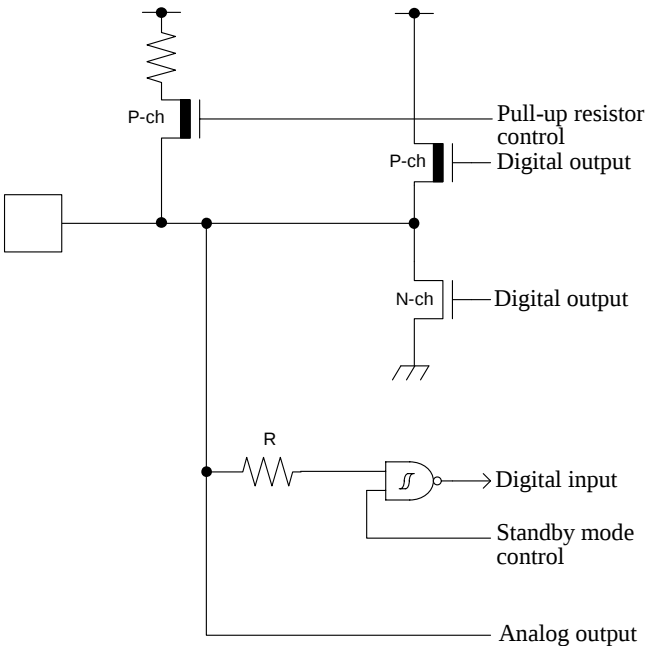
	1	2	3	4	5	6	7	8	9	10	11
A	VSS	P81	P80	VCC	TRSTX	VSS	P06	P0A	P0D	VCC	VSS
B	VCC	P60	P61	P63	TCK	TDO	P07	P0B	P0E	P24	P20
C	P50	P51	P62	P64	TDI	TMS	P08	P0C	P25	P22	P21
D	P52	P53	P54	P65	P66	P05	P09	P26	P1E	P1D	P23
E	P30	P55	P56	P57	P67	P68	P27	P1C	P1B	P1A	P19
F	P34	P33	P32	P31	P58	P59	P1F	P18	P17	P16	AVRH
G	P35	P36	P37	P38	P5A	P5B	P72	P15	P14	P13	AVRL
H	P39	P3A	P3B	P3C	P43	P70	P71	P73	P12	P11	AVSS
J	P3D	P3E	P41	P45	P42	P4B	P4C	P4D	P74	P10	AVCC
K	VCC	P3F	P44	X1A	P48	P49	VCC	P4E	MD0	VSS	VCC
L	VSS	P40	INITX	X0A	VBAT	C	VSS	MD1	X0	X1	VSS

端子番号				端子名	入出力 回路 形式	端子状態 形式
LQFP120	LQFP100	LQFP80	FBGA121			
74	64	53	F8	P18	F	L
				AN08		
				SCK2_2 (SCL2_2)		
				MAD15_0		
				DTTI2X_0		
75	65	54	E11	P19	F	M
				AN09		
				SIN4_1		
				IC00_1		
				INT05_1		
				MAD16_0		
76	66	55	E10	P1A	M	L
				AN10		
				SOT4_1 (SDA4_1)		
				IC01_1		
				MAD17_0		
77	67	56	E9	P1B	M	L
				AN11		
				SCK4_1 (SCL4_1)		
				IC02_1		
				MAD18_0		
78	68	-	E8	P1C	F	L
				AN12		
				CTS4_1		
				IC03_1		
				MAD19_0		
79	69	-	D10	P1D	F	L
				AN13		
				RTS4_1		
				DTTI0X_1		
				MAD20_0		
80	70	-	D9	P1E	F	L
				AN14		
				ADTG_5		
				FRCK0_1		
				MAD21_0		
81	-	-	F7	P1F	E	I
				ADTG_4		
				TIOB6_2		
				RTO05_1 (PPG04_1)		
82	-	-	E7	P27	E	K
				TIOA6_2		
				RTO04_1 (PPG04_1)		
				INT02_2		

端子番号				端子名	入出力 回路 形式	端子状態 形式
LQFP120	LQFP100	LQFP80	FBGA121			
83	-	-	D8	P26	E	I
				TIOB5_0		
				SCK2_1 (SCL2_1)		
				RTO03_1 (PPG02_1)		
84	-	-	C9	P25	E	I
				TIOA5_0		
				SOT2_1 (SDA2_1)		
				RTO02_1 (PPG02_1)		
85	-	-	B10	P24	E	K
				SIN2_1		
				RTO01_1 (PPG00_1)		
				INT01_2		
86	71	57	D11	P23	F	L
				AN15		
				TIOA7_1		
				SCK0_0 (SCL0_0)		
				RTO00_1 (PPG00_1)		
		-		MAD22_0		
87	72	58	C10	P22	F	L
				CROUT_0		
				AN16		
				TIOB7_1		
				SOT0_0 (SDA0_0)		
		-		ZIN1_1		
88	73	58	C11	RTO23_0	F	M
		59		P21		
		-		AN17		
		59		SIN0_0		
		-		BIN1_1		
		59		INT06_1		
89	74	-	B11	MAD23_0	F	M
				RTO24_0		
				P20		
				AN18		
				AIN1_1		
				INT05_0		
90	75	60	A11	MAD24_0	-	-
91	76	61	A10	RTO25_0		
				VSS	-	-
				VCC	-	-

端子番号				端子名	入出力 回路 形式	端子状態 形式
LQFP120	LQFP100	LQFP80	FBGA121			
110	-	-	D5	P66	E	K
				ADTG_8		
				SIN3_0		
				INT11_2		
111	-	-	D4	P65	E	I
				TIOB7_0		
				SCK5_1 (SCL5_1)		
112	-	-	C4	P64	E	K
				TIOA7_0		
				SOT5_1 (SDA5_1)		
				INT10_2		
113	93	73	B4	P63	E	K
	-	-		CROUT_1		
	-	-		SIN5_1		
	-	-		INT03_0		
	93	73		MWEX_0		
	-	-		IC23_0		
114	94	74	C3	P62	I	K
				ADTG_3		
				SIN5_0		
				INT04_1		
				MOEX_0		
				IC22_0		
115	95	75	B3	P61	E	I
				TIOB2_2		
				SOT5_0 (SDA5_0)		
				RTCCO_0		
				SUBOUT_0		
				ZIN2_1		
116	96	76	B2	P60	I	F
				TIOA2_2		
				SCK5_0 (SCL5_0)		
				NMIX		
				WKUP0		
				MRDY_0		
				FRCK2_0		
117	97	77	A4	VCC	-	-
118	98	78	A3	P80	E *1	I
				BIN2_1		
				IC21_0		
119	99	79	A2	P81	E *1	I
				AIN2_1		
				IC20_0		
120	100	80	A1	VSS	-	-
-	-	-	K10	VSS	-	-

*1 プルアップ抵抗制御なし

分類	回路	備考
R	 Pull-up resistor control Digital output Digital output Digital input Standby mode control Analog output	- CMOS レベル出力 - CMOS レベルヒステリシス入力 - アナログ出力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗：約 50 kΩ - $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ (4.5V~5.5V) - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$ (2.7V~4.5V)

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	メイン水晶 発振入力端子/ 外部メイン クロック入力 選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	外部メイン クロック入力 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	直前状態保持	Hi-Z/ 内部入力 "0"固定	直前状態保持
	メイン水晶 発振出力端子	Hi-Z/ 内部入力 "0"固定 または 入力可	Hi-Z/ 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	直前状態保持/ 発振停止時*1は Hi-Z/ 内部入力"0"固定					
C	INITX 入力端子	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可
D	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
E	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 入力可	GPIO 選択	Hi-Z/ 入力可	GPIO 選択
F	NMIX 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選択
	上記以外の リソース選択 時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 内部入力 "0"固定						
	GPIO 選択時									直前状態保持

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
G	JTAG 選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
H	JTAG 選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	上記以外の リソース選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	GPIO 選択時									
I	リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	GPIO 選択時									
J	アナログ出力 選択時	設定不可	設定不可	設定不可	直前状態保持	*2	*3	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	上記以外の リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可		直前状態保持	Hi-Z/ 内部入力 "0"固定			
	GPIO 選択時									
K	外部割込み 許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	上記以外の リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定			
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセット または 低電圧検出 状態	INITX 入力 状態	デバイス 内部 リセット 状態	ランモード または スリープ モード 状態	タイマモード, RTC モード, または ストップモード 状態		ディープスタンバイ RTC モード または ディープスタンバイ ストップモード 状態		ディープ スタンバイ モード 復帰直後 状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
Q	WKUP 許可時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選択
	外部割込み許可 選択時									
	上記以外の リソース選択 時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	
	GPIO 選択時									

*1: サブタイマ, 低速 CR タイマモード, ストップモード, RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードは発振が停止します。

*2: タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は GPIO 選択/内部入力 0 固定です。

*3: タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は Hi-Z/内部入力 0 固定です。

Table 12-4 通常動作(PLL 以外)の標準と最大の消費電流, データアクセスを含むコードがフラッシュ・メモリから実行しているとき (フラッシュ 0 サイクルウェイトモード, リードアクセス 0 ウェイト)

項目	記号	端子名	条件	周波数*4	規格値		単位	備考
					標準*1	最大*2		
電源電流	I _{CC}	V _{CC}	通常動作*5 (メイン発振)	4 MHz	4.0	24	mA	*3 周辺クロック すべて ON 時
					3.2	24	mA	*3 周辺クロック すべて OFF 時
			通常動作*5 (内蔵高速 CR)	4 MHz	3.2	24	mA	*3 周辺クロック すべて ON 時
					2.7	23	mA	*3 周辺クロック すべて OFF 時
			通常動作*5 *6 (サブ発振)	32 kHz	0.34	21	mA	*3 周辺クロック すべて ON 時
					0.30	21	mA	*3 周辺クロック すべて OFF 時
			通常動作*5 (内蔵低速 CR)	100 kHz	0.36	21	mA	*3 周辺クロック すべて ON 時
					0.33	21	mA	*3 周辺クロック すべて OFF 時

*1: T_A=+25°C, V_{CC}=3.3 V

*2: T_J=+125°C, V_{CC}=5.5 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

*5: 0 wait-cycle (FRWTR.RWT = 00, FSYNDN.SD = 000)のとき

*6: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

12.3.2 端子特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = 0V$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
H レベル 入力電圧 (ヒステリシス入 力)	V_{IHS}	CMOS ヒステリシス入力端 子, MD0, MD1	-	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
		5 V トレラント入力端子	-	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
		I ² C Fm+ 兼用 入力端子	-	$V_{CC} \times 0.7$	-	$V_{SS} + 5.5$	V	
L レベル 入力電圧 (ヒステリシス入 力)	V_{ILS}	CMOS ヒステリシス入力端 子, MD0, MD1	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		5 V トレラント 入力端子	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		I ² C Fm+ 兼用 入力端子	-	V_{SS}	-	$V_{CC} \times 0.3$	V	
H レベル 出力電圧	V_{OH}	4 mA タイプ	$V_{CC} \geq 4.5 V$, $I_{OH} = -4 mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5 V$, $I_{OH} = -2 mA$					
		8 mA タイプ	$V_{CC} \geq 4.5 V$, $I_{OH} = -8 mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5 V$, $I_{OH} = -4 mA$					
		12 mA タイプ	$V_{CC} \geq 4.5 V$, $I_{OH} = -12 mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5 V$, $I_{OH} = -8 mA$					
		I ² C Fm+ 兼用	$V_{CC} \geq 4.5 V$, $I_{OH} = -4 mA$	$V_{CC} - 0.5$	-	V_{CC}	V	GPIO 時
			$V_{CC} < 4.5 V$, $I_{OH} = -3 mA$					

セパレートバスアクセス 非同期 SRAM モード

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
MOEX 最小パルス幅	$t_{OE\overline{W}}$	MOEX	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times n - 3$	-	ns
MCSX $\downarrow \rightarrow$ アドレス 出力遅延時間	$t_{CSL - \overline{A\overline{V}}}$	MCSX[7:0], MAD[24:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	-9 -12	+9 +12	ns
MOEX $\uparrow \rightarrow$ アドレス ホールド時間	$t_{OE\overline{H} - \overline{A\overline{X}}}$	MOEX, MAD[24:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX $\downarrow \rightarrow$ MOEX $\downarrow$ 遅延時間	$t_{CSL - \overline{OEL}}$	MOEX, MCSX[7:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MOEX $\uparrow \rightarrow$ MCSX $\uparrow$ 時間	$t_{OE\overline{H} - \overline{CSH}}$		$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX $\downarrow \rightarrow$ MDQM $\downarrow$ 遅延時間	$t_{CSL - \overline{RDQML}}$	MCSX, MDQM[1:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
データセットアップ $\rightarrow$ MOEX $\uparrow$ 時間	$t_{DS - \overline{OE}}$	MOEX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	20 38	- -	ns
MOEX $\uparrow \rightarrow$ データホールド時間	$t_{DH - \overline{OE}}$	MOEX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	-	ns
MWEX 最小パルス幅	$t_{WE\overline{W}}$	MWEX	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times n - 3$	-	ns
MWEX $\uparrow \rightarrow$ アドレス 出力遅延時間	$t_{WE\overline{H} - \overline{A\overline{X}}}$	MWEX, MAD[24:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX $\downarrow \rightarrow$ MWEX $\downarrow$ 遅延時間	$t_{CSL - \overline{WEL}}$	MWEX, MCSX[7:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times n - 9$ $MCLK \times n - 12$	$MCLK \times n + 9$ $MCLK \times n + 12$	ns
MWEX $\uparrow \rightarrow$ MCSX $\uparrow$ 遅延時間	$t_{WE\overline{H} - \overline{CSH}}$		$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX $\downarrow \rightarrow$ MDQM $\downarrow$ 遅延時間	$t_{CSL - \overline{WDQML}}$	MCSX, MDQM[1:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times n - 9$ $MCLK \times n - 12$	$MCLK \times n + 9$ $MCLK \times n + 12$	ns
MCSX $\downarrow \rightarrow$ データ出力時間	$t_{CSL - \overline{DX}}$	MCSX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK - 9$ $MCLK - 12$	$MCLK + 9$ $MCLK + 12$	ns
MWEX $\uparrow \rightarrow$ データホールド時間	$t_{WE\overline{H} - \overline{DX}}$	MWEX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns

<注意事項>

- 外部負荷容量 $C_L = 30pF$ 時 ($m=0 \sim 15$, $n=1 \sim 16$)

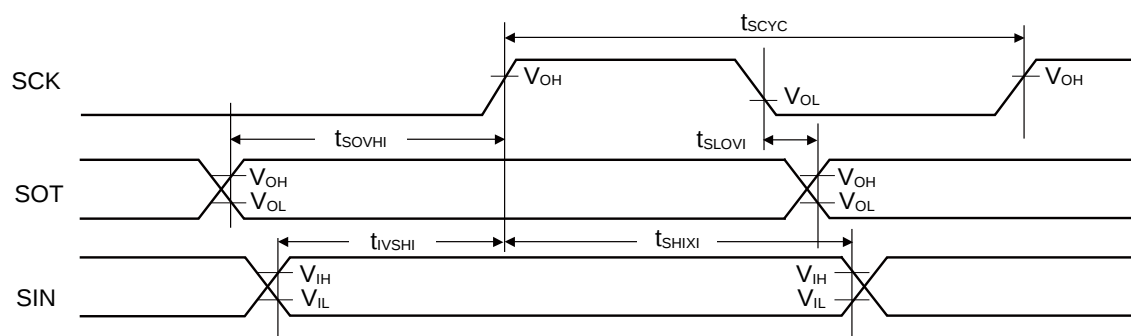
高速同期シリアル(SPI = 1, SCINV = 0)

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

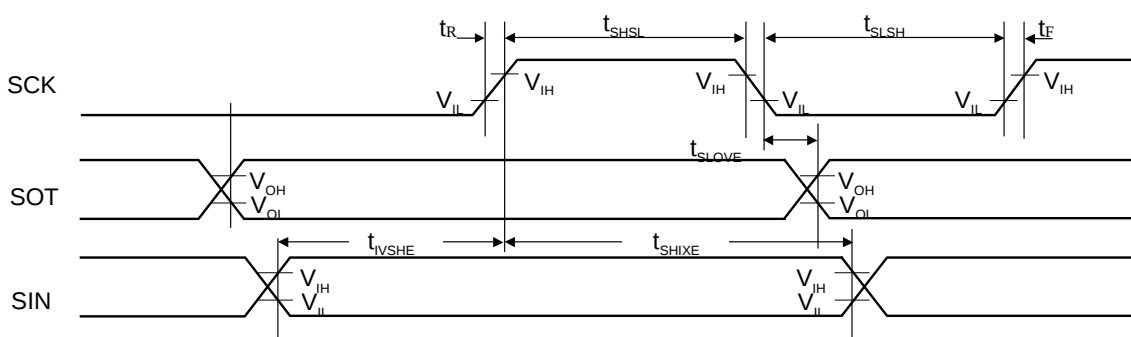
項目	記号	端子名	条件	$V_{CC} < 4.5 V$		$V_{CC} \geq 4.5 V$		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t_{SCYC}	SCK _x	内部シフト クロック動作	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↑ → SOT 遅延時間	t_{SHOVI}	SCK _x , SOT _x		-10	+10	-10	+10	ns
SIN → SCK ↓ セットアップ時間	t_{IVSLI}	SCK _x , SIN _x		14 12.5*	-	12.5	-	ns
SCK ↓ → SIN ホールド時間	t_{SLIXI}	SCK _x , SIN _x		5	-	5	-	ns
SOT → SCK ↓ 遅延時間	t_{SOVLI}	SCK _x , SOT _x		$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
シリアルクロック L パルス幅	t_{LSLH}	SCK _x	外部シフト クロック動作	$2t_{CYCP} - 5$	-	$2t_{CYCP} - 5$	-	ns
シリアルクロック H パルス幅	t_{HSL}	SCK _x		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK ↑ → SOT 遅延時間	t_{SHOVE}	SCK _x , SOT _x		-	15	-	15	ns
SIN → SCK ↓ セットアップ時間	t_{IVSLE}	SCK _x , SIN _x		5	-	5	-	ns
SCK ↓ → SIN ホールド時間	t_{SLIXE}	SCK _x , SIN _x		5	-	5	-	ns
SCK 立下り時間	t_F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t_R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は以下のリロケート・ポート番号組み合わせのみの保証です。
 - ・ チップセレクトなし : SIN4_1, SOT4_1, SCK4_1
 - ・ チップセレクトあり : SIN6_1, SOT6_1, SCK6_1, SCS6_1
- 外部負荷容量 $C_L = 30 \text{ pF}$ 時 (* は $C_L = 10 \text{ pF}$ 時)



MS ビット = 0



MS ビット = 1

高速同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
			最小	最大	最小	最大	
SCS ↓ → SCK ↓ セットアップ時間	t _{CSI}	内部シフト クロック 動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK ↑ → SCS ↑ ホールド時間	t _{SHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t _{SDI}		(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	ns
SCS ↓ → SCK ↓ セットアップ時間	t _{CSE}	外部シフト クロック 動作	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK ↑ → SCS ↑ ホールド時間	t _{SHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{SDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS ↓ → SOT 遅延時間	t _{DSE}		-	25	-	25	ns
SCS ↑ → SOT 遅延時間	t _{DEE}		0	-	0	-	ns

(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。
- 外部負荷容量 C_L = 30 pF 時

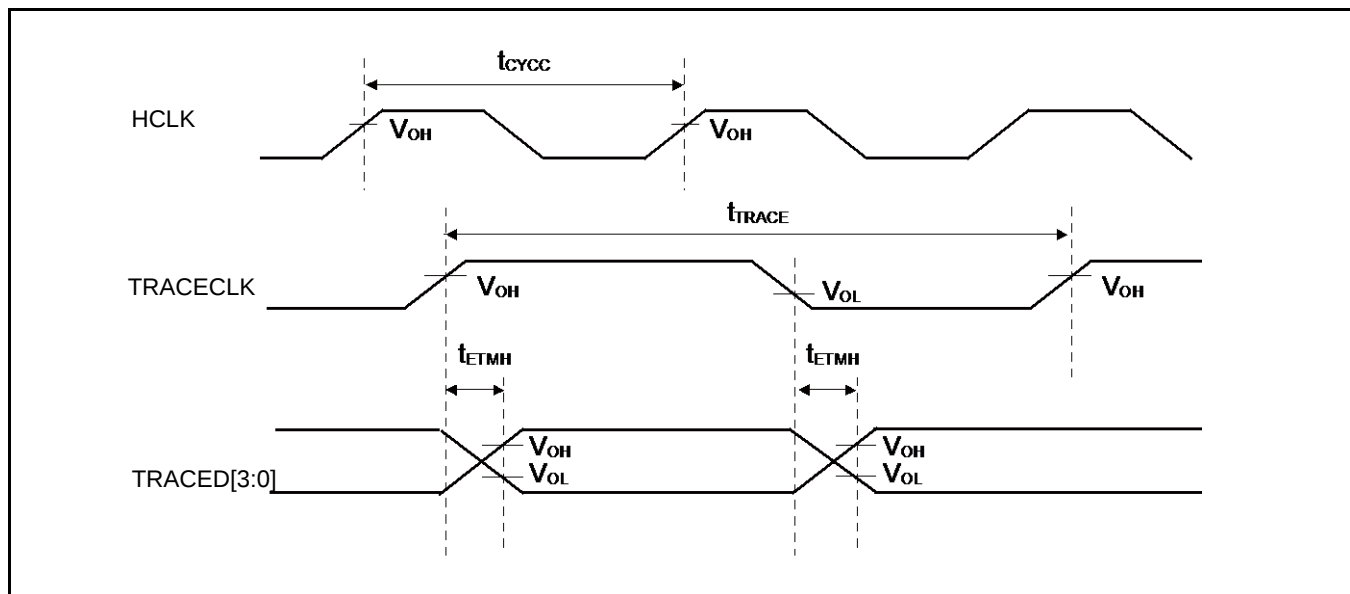
12.4.15 ETM タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
データホールド	t_{ETMH}	TRACECLK, TRACED[3:0]	$V_{CC} \geq 4.5V$	2	9	ns	
			$V_{CC} < 4.5V$	2	15		
TRACECLK 周波数	$1/t_{TRACE}$	TRACECLK	$V_{CC} \geq 4.5V$	-	50	MHz	
			$V_{CC} < 4.5V$	-	32	MHz	
TRACECLK クロック周期	t_{TRACE}	TRACECLK	$V_{CC} \geq 4.5V$	20	-	ns	
			$V_{CC} < 4.5V$	31.25	-	ns	

<注意事項>

- 外部負荷容量 $C_L = 30pF$ 時



12.8 メインフラッシュメモリ書込み/消去特性

(V_{CC} = 2.7V ~ 5.5V)

項目		規格値			単位	備考
		最小	標準	最大		
セクタ消去時間	Large Sector	-	0.7	3.7	s	内部での消去前書込み時間を含む
	Small Sector		0.3	1.1		
ハーフワード(16ビット)書込み時間	書込みサイクル ≤ 100	-	12	100	μs	システムレベルのオーバーヘッド時間は除く
	書込みサイクル > 100			200		
チップ消去時間		-	13.6	68	s	内部での消去前書込み時間を含む

書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)
1,000	20 *
10,000	10 *
100,000	5 *

*: 信頼性評価結果からの換算値です(アレニウスの式を使用し、高温加速試験結果を平均温度+85°Cへ換算しています)。

12.9 ワークフラッシュメモリ書込み/消去特性

(V_{CC} = 2.7V ~ 5.5V)

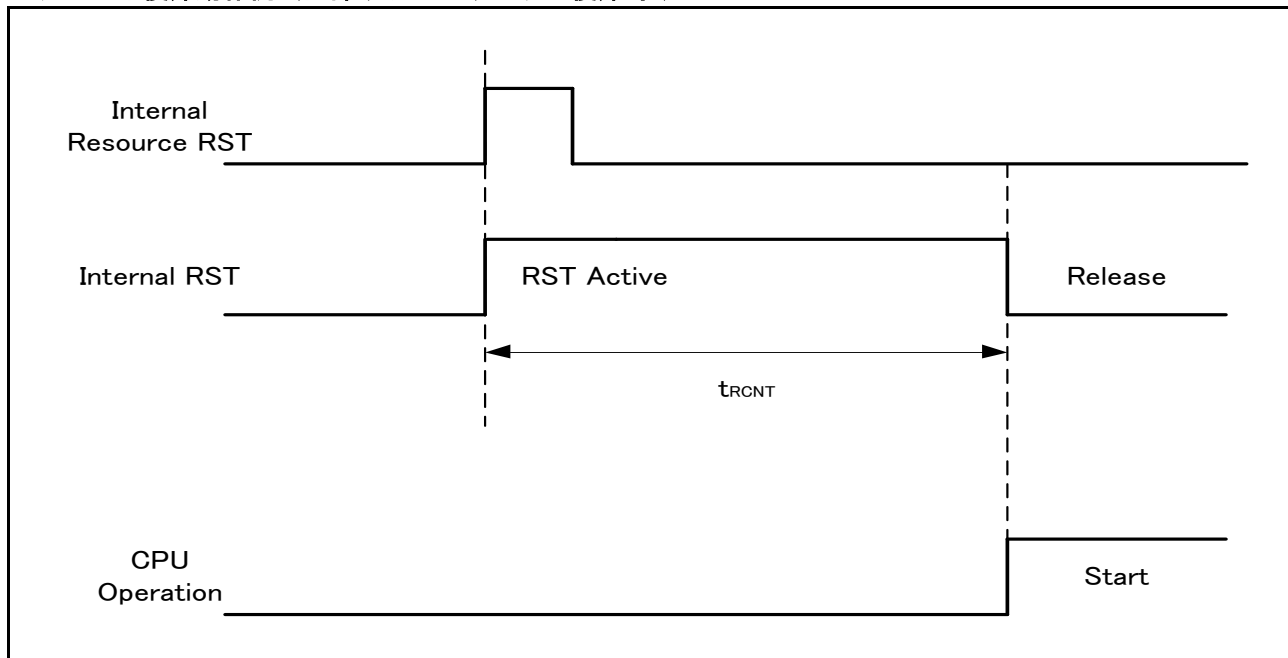
項目		規格値			単位	備考
		最小	標準	最大		
セクタ消去時間		-	0.3	1.5	s	内部での消去前書込み時間を含む
ハーフワード(16ビット)書込み時間		-	20	200	μs	システムレベルのオーバーヘッド時間は除く
チップ消去時間		-	1.2	6	s	内部での消去前書込み時間を含む

書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)
1,000	20 *
10,000	10 *
100,000	5 *

*: 信頼性評価結果からの換算値です(アレニウスの式を使用し、高温加速試験結果を平均温度+85°Cへ換算しています)。

スタンバイ復帰動作例（内部リソースリセット復帰時*）



*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は『FM4 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「12. 電氣的特性 12.4 交流規格 (6) パワーオンリセットタイミング」を参照してください。
- リセットからの復帰時、CPU は高速CR ランモードに遷移します。
メインクロックやPLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メインPLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとはウォッチドッグリセット, CSV リセットを指します。

改訂履歴

文書名: S6E2H1 シリーズ 32 ビット ARM® Cortex®-M4F, FM4 マイクロコントローラ

文書番号: 001-99424

版	ECN 番号	変更者	発行日	変更内容
**	4884630	YUIA	08/18/2015	New Spec. (これは英語版の 001-98940 Rev. ** を翻訳した日本語版です。)
*A	4932870	YUIA	10/02/2015	Preliminary から Final に変更。 12.2 推奨動作条件 を更新: "平滑コンデンサ容量(Cs)"を追加。 "動作時最大リーク電流"の"電流値"を追加。 12.3.1 電流規格 を更新: Table 12-1 ~ 12-9 を更新: "最大値"を追加。 Table 12-11 を更新: 電圧、温度条件を追加。 12.10.1 復帰要因: 割込み/WKUP を更新: 復帰カウント時間を更新。 12.10.2 復帰要因: リセット を更新: 復帰カウント時間を更新。
*B	5027953	YUIA	11/26/2015	2. パッケージと品種対応 を更新: FBGA を"開発中から""対応"に変更。 4 端子機能一覧 を更新: JTAG 端子についての"注意事項"を追加。 12.5 12 ビット A/D コンバータを更新: "ゼロトランジション" と"フルスケールトランジション"の値を更新。 "総合誤差"を追加。
*C	5639298	NOSU	02/22/2017	サイプレスロゴを更新 特長 リアルタイムクロック(RTC:Real Time Clock)の記述を以下の様に修正((秒/曜日)の削除): 修正前) 日時指定(年/月/日/時/分/秒/曜日)での割込み機能、年/月/日/時/分だけの個別設定も可能 修正後) 日時指定(年/月/日/時/分)での割込み機能、年/月/日/時/分だけの個別設定も可能 3 端子配列図を更新: 図から信号名を削除。 4 端子機能一覧を更新: 入出力回路形式および端子状態形式にハイパーリンクを追加。 5 入出力回路形式を更新: 分類 N の備考に"- 5V トレラント"を追加。 7 デバイス使用上の注意を更新: 電源投入時についてにコメントを追加。 10 メモリマップを更新: