



Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	ARM® Cortex®-M4F
Core Size	32-Bit Single-Core
Speed	160MHz
Connectivity	CSIO, EBI/EMI, I ² C, LINbus, UART/USART
Peripherals	DMA, LVD, POR, PWM, WDT
Number of I/O	100
Program Memory Size	544KB (544K x 8)
Program Memory Type	FLASH
EEPROM Size	-
RAM Size	64K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b; D/A 2x12b
Oscillator Type	Internal
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	120-LQFP
Supplier Device Package	120-LQFP (16x16)
Purchase URL	https://www.e-xfl.com/product-detail/infineon-technologies/s6e2h16g0agv20000

VBAT

RTC(カレンダー回路)/32 kHz 発振回路に独立した電源を供給することで、RTC 動作時の消費電力を低減できます。

VBAT には以下の回路が含まれます。

■RTC

■32 kHz 発振回路

■パワーオン回路

■バックアップレジスタ: 32 バイト

■ポート回路

デバッグ

■シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)

■エンベデッド・トレース・マクロセル(ETM)

ユニーク ID

41 ビットのデバイス固有の値を設定済み

電源

2 種類の電源

■ワイドレンジ電圧対応: VCC = 2.7 V~5.5 V

■VBAT 用電源: VBAT = 2.7 V~5.5 V

13. オーダ型格	151
14. パッケージ・外形寸法図.....	152
改訂履歴	156
セールス, ソリューションおよび法律情報	158

FDI121

(TOP VIEW)

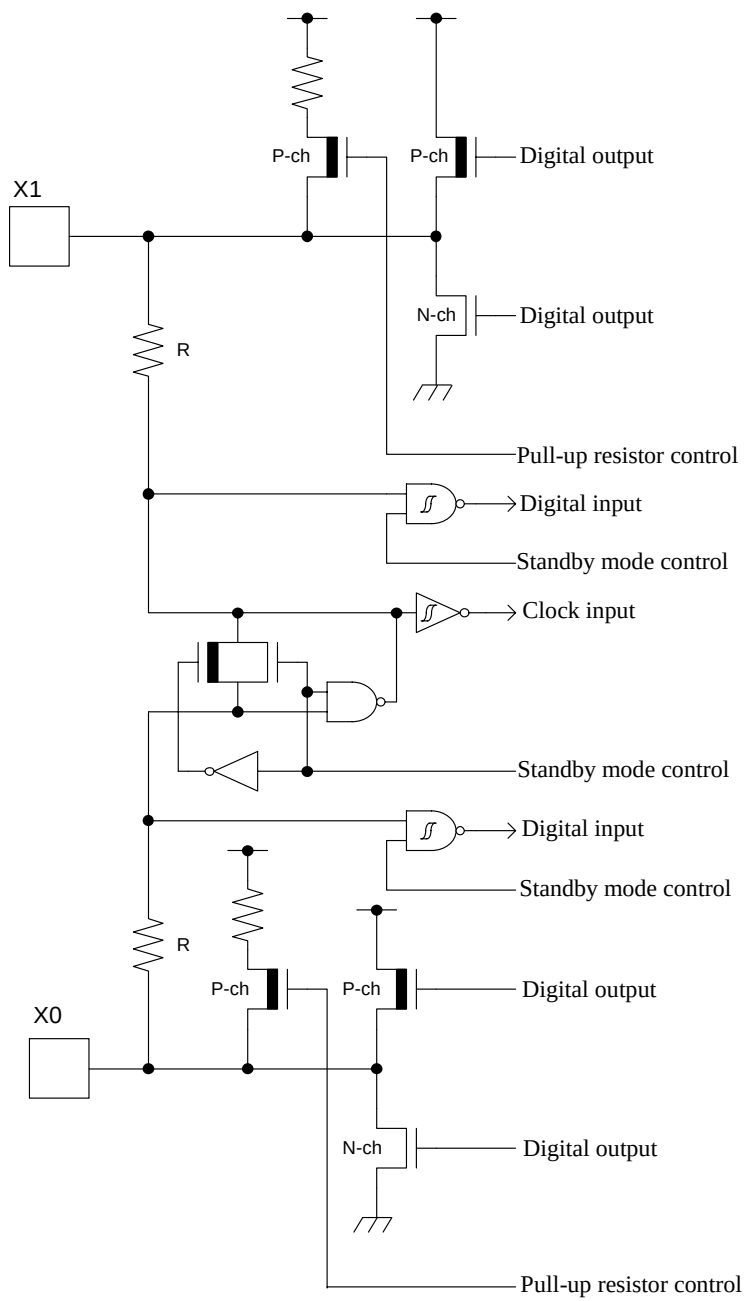
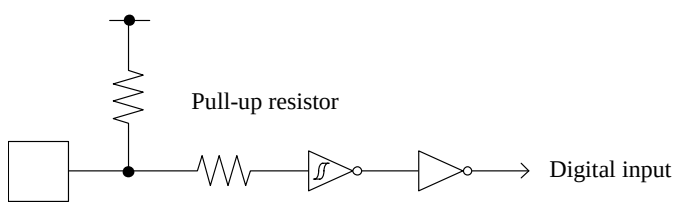
	1	2	3	4	5	6	7	8	9	10	11
A	VSS	P81	P80	VCC	TRSTX	VSS	P06	P0A	P0D	VCC	VSS
B	VCC	P60	P61	P63	TCK	TDO	P07	P0B	P0E	P24	P20
C	P50	P51	P62	P64	TDI	TMS	P08	P0C	P25	P22	P21
D	P52	P53	P54	P65	P66	P05	P09	P26	P1E	P1D	P23
E	P30	P55	P56	P57	P67	P68	P27	P1C	P1B	P1A	P19
F	P34	P33	P32	P31	P58	P59	P1F	P18	P17	P16	AVRH
G	P35	P36	P37	P38	P5A	P5B	P72	P15	P14	P13	AVRL
H	P39	P3A	P3B	P3C	P43	P70	P71	P73	P12	P11	AVSS
J	P3D	P3E	P41	P45	P42	P4B	P4C	P4D	P74	P10	AVCC
K	VCC	P3F	P44	X1A	P48	P49	VCC	P4E	MD0	VSS	VCC
L	VSS	P40	INITX	X0A	VBAT	C	VSS	MD1	X0	X1	VSS

端子番号				端子名	入出力 回路 形式	端子状態 形式
LQFP120	LQFP100	LQFP80	FBGA121			
16	11	11	F3	P32	N	K
				TIOB2_1		
				SOT3_1 (SDA3_1)		
				INT10_1		
-	-	-	-	MADATA09_0	N	K
16				MADATA14_0		
17	12	12	F2	P33	N	K
				ADTG_6		
				TIOB3_1		
				SCK3_1 (SCL3_1)		
-	-	-	-	INT04_0	N	K
17				MADATA10_0		
18	13	-	F1	MADATA15_0	E	I
				P34		
				TIOB4_1		
				FRCK0_0		
-	-	-	-	MADATA11_0	E	I
18				MNALE_0		
19	14	-	G1	P35	E	K
				TIOB5_1		
				IC03_0		
				INT08_1		
-	-	-	-	MADATA12_0	E	K
19				MNCLE_0		
20	15	-	G2	P36	E	K
				SIN5_2		
				IC02_0		
				INT09_1		
-	-	-	-	MADATA13_0	E	K
20				MNWEX_0		
21	16	-	G3	P37	E	K
				SOT5_2 (SDA5_2)		
				IC01_0		
				INT05_2		
-	-	-	-	MADATA14_0	E	K
21				MNREX_0		
22	17	-	G4	P38	E	K
				SCK5_2 (SCL5_2)		
				IC00_0		
				INT06_2		
-	-	-	-	MADATA15_0	E	K
22				MADATA15_0		
23	18	13	H1	P39	L	I
				ADTG_2		
				DTTIOX_0		
				RTCCO_2		
				SUBOUT_2		
				MSDCLK_0		

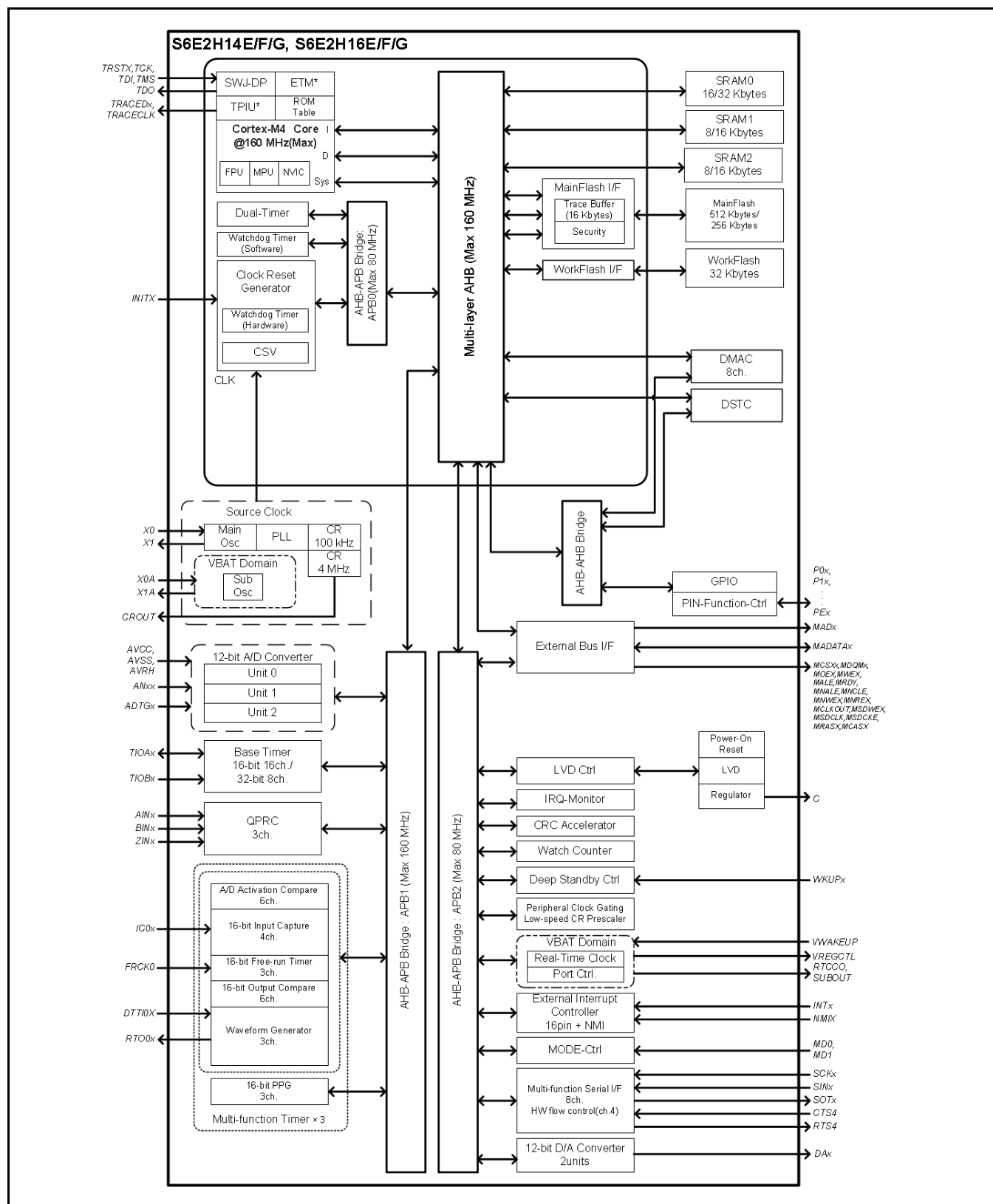
端子番号				端子名	入出力 回路 形式	端子状態 形式
LQFP120	LQFP100	LQFP80	FBGA121			
24	19	14	H2	P3A	G	I
				TIOA0_1		
				AIN0_0		
				RTO00_0 (PPG00_0)		
		-		MSDCKE_0		
25	20	15	H3	P3B	G	I
				TIOA1_1		
				BIN0_0		
				RTO01_0 (PPG00_0)		
		-		MRASX_0		
26	21	16	H4	P3C	G	I
				TIOA2_1		
				ZIN0_0		
				RTO02_0 (PPG02_0)		
		-		MCASX_0		
27	22	17	J1	P3D	G	I
				TIOA3_1		
				RTO03_0 (PPG02_0)		
				MAD00_0		
28	23	18	J2	P3E	G	I
				TIOA4_1		
				RTO04_0 (PPG04_0)		
				MAD01_0		
29	24	19	K2	P3F	G	I
				TIOA5_1		
				RTO05_0 (PPG04_0)		
				MAD02_0		
30	25	20	L1	VSS	-	-
31	26	-	K1	VCC	-	-
32	27	-	L2	P40	G	K
				TIOA0_0		
				RTO10_1 (PPG10_1)		
				INT12_1		
33	28	-	J3	P41	G	K
				TIOA1_0		
				RTO11_1 (PPG10_1)		
				INT13_1		
				AIN2_0		
34	29	-	J5	P42	G	I
				TIOA2_0		
				RTO12_1 (PPG12_1)		
				MSDWEX_0		
				BIN2_0		

端子機能	端子名	機能説明	端子番号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
マルチファンクションシリアル 0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	88	73	59	C11
	SIN0_1		65	55	44	G10
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT0 として、I ² C 端子(動作モード 4)として使用するときは SDA0 として機能します。	87	72	58	C10
	SOT0_1 (SDA0_1)		66	56	45	G9
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK0 として、I ² C 端子(動作モード 4)として使用するときは SCL0 として機能します。	86	71	57	D11
	SCK0_1 (SCL0_1)		67	57	46	G8
マルチファンクションシリアル 1	SIN1_0	マルチファンクションシリアルインタフェース ch.1 の入力端子	96	81	66	A8
	SIN1_1		62	52	41	J10
	SOT1_0 (SDA1_0)	マルチファンクションシリアルインタフェース ch.1 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT1 として、I ² C 端子(動作モード 4)として使用するときは SDA1 として機能します。	97	82	67	D7
	SOT1_1 (SDA1_1)		63	53	42	H10
	SCK1_0 (SCL1_0)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK1 として、I ² C 端子(動作モード 4)として使用するときは SCL1 として機能します。	98	83	-	C7
	SCK1_1 (SCL1_1)		64	54	43	H9
マルチファンクションシリアル 2	SIN2_0	マルチファンクションシリアルインタフェース ch.2 の入力端子	53	-	-	G7
	SIN2_1		85	-	-	B10
	SIN2_2		68	58	47	F10
	SOT2_0 (SDA2_0)	マルチファンクションシリアルインタフェース ch.2 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT2 として、I ² C 端子(動作モード 4)として使用するときは SDA2 として機能します。	54	-	-	H8
	SOT2_1 (SDA2_1)		84	-	-	C9
	SOT2_2 (SDA2_2)		69	59	48	F9
	SCK2_0 (SCL2_0)	マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK2 として、I ² C 端子(動作モード 4)として使用するときは SCL2 として機能します。	55	-	-	J9
	SCK2_1 (SCL2_1)		83	-	-	D8
	SCK2_2 (SCL2_2)		74	64	53	F8

5. 入出力回路形式

分類	回路	備考
A		メイン発振/GPIO 切換え可能 メイン発振機能選択時 - 発振帰還抵抗：約 1 MΩ - スタンバイ制御あり - GPIO 機能選択時 - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗：約 50 kΩ - I_{OH} = -4 mA, I_{OL} = 4 mA
B		- CMOS レベルヒステリシス入力 - ブルアップ抵抗：約 50 kΩ

8. ブロックダイアグラム



*: S6E2H14E0A, S6E2H16E0A では、ETM は使用できません。

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が L レベルの期間です。

■INITX=1

INITX 端子が H レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が 0 に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が 1 に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は L に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能にしたがいます。
ポートとして使用している場合は、その状態を保持します。

■アナログ入力可

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

■GPIO 選択

ディープスタンバイモード時、汎用 I/O ポートに切り換わります。

■設定禁止

仕様制限により設定禁止です。

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
G	JTAG 選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
H	JTAG 選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	上記以外の リソース選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	GPIO 選択時									
I	リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	GPIO 選択時									
J	アナログ出力 選択時	設定不可	設定不可	設定不可	直前状態保持	*2	*3	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	上記以外の リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可		直前状態保持	Hi-Z/ 内部入力 "0"固定			
	GPIO 選択時									
K	外部割込み 許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	上記以外の リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定			
	GPIO 選択時									

12. 電気的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1,*2	V _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
電源電圧(VBAT)*1,*3	V _{BAT}	V _{SS} - 0.5	V _{SS} + 6.5	V	
アナログ電源電圧*1,*4	AV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
アナログ基準電圧*1,*4	AV _{RH}	V _{SS} - 0.5	V _{SS} + 6.5	V	
入力電圧*1	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≤6.5 V)	V	
		V _{SS} - 0.5	V _{SS} + 6.5	V	5 V トレラント
アナログ端子入力電圧*1	V _{IA}	V _{SS} - 0.5	AV _{CC} + 0.5 (≤6.5 V)	V	
出力電圧*1	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≤6.5 V)	V	
"L"レベル最大出力電流*5	I _{OL}	-	10	mA	4 mA タイプ
			20	mA	8 mA タイプ
			20	mA	12 mA タイプ
			22.4	mA	I ² C Fm+
"L"レベル平均出力電流*6	I _{OLAV}	-	4	mA	4 mA タイプ
			8	mA	8 mA タイプ
			12	mA	12 mA タイプ
			20	mA	I ² C Fm+
"L"レベル最大総出力電流	ΣI _{OL}	-	100	mA	
"L"レベル平均総出力電流*7	ΣI _{OLAV}	-	50	mA	
"H"レベル最大出力電流*5	I _{OH}	-	- 10	mA	4 mA タイプ
			20	mA	8 mA タイプ
			- 20	mA	12 mA タイプ
"H"レベル平均出力電流*6	I _{OHAV}	-	- 4	mA	4 mA タイプ
			8	mA	8 mA タイプ
			- 12	mA	12 mA タイプ
"H"レベル最大総出力電流	ΣI _{OH}	-	- 100	mA	
"H"レベル平均総出力電流*7	ΣI _{OHAV}	-	- 50	mA	
保存温度	T _{STG}	- 55	+ 150	°C	

*1: V_{SS} = AV_{SS} = 0 V を基準にした値です。

*2: V_{CC} は V_{SS} - 0.5 V より低くならないでください。

*3: V_{BAT} は V_{SS} - 0.5 V より低くならないでください。

*4: 電源投入時など V_{CC} + 0.5 V を超えてはいけません。

*5: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*6: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

*7: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

<注意事項>

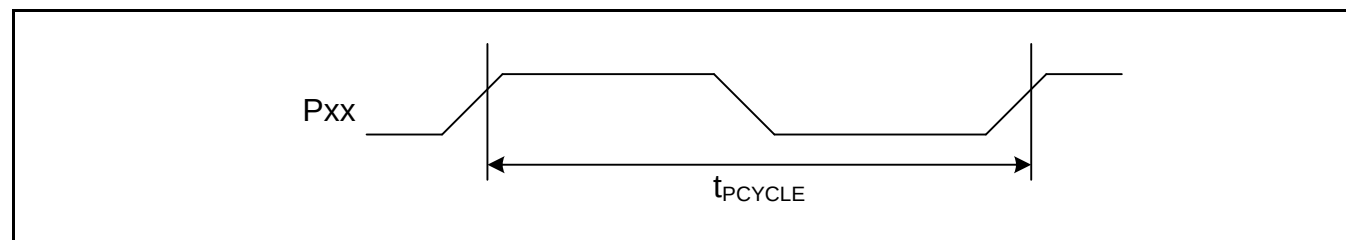
- 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

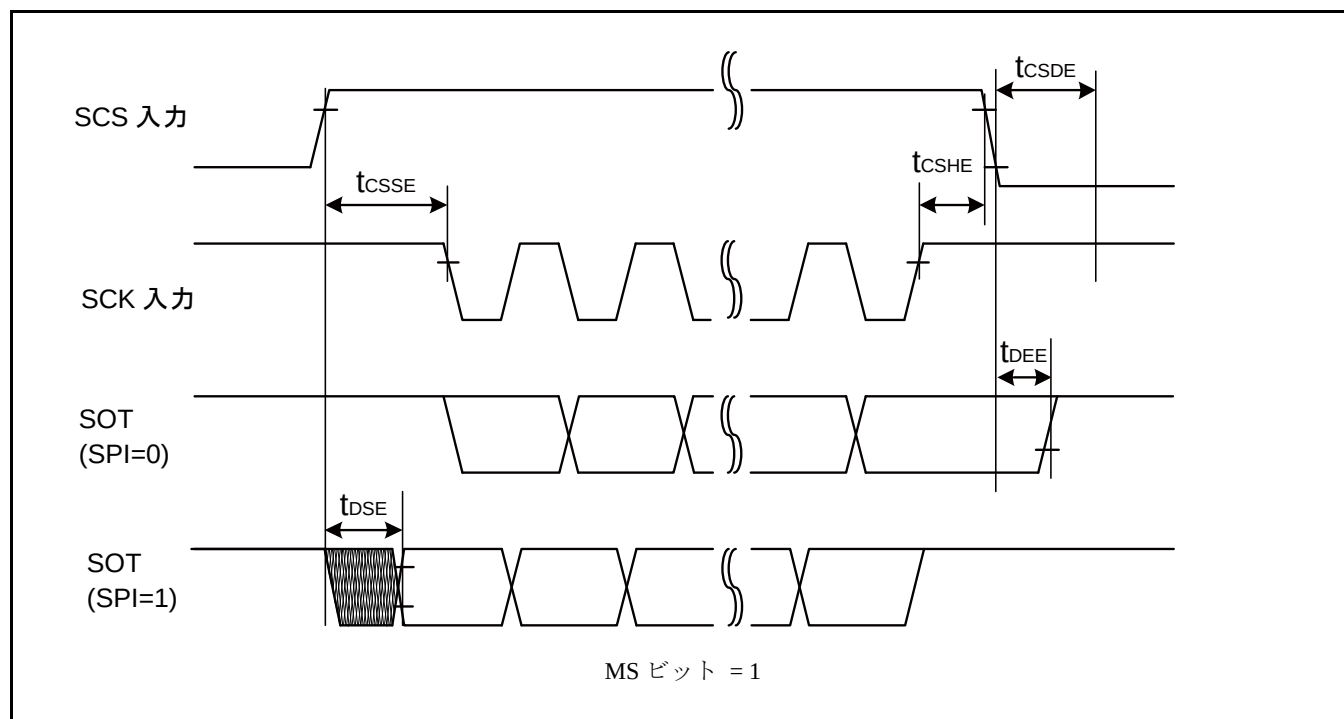
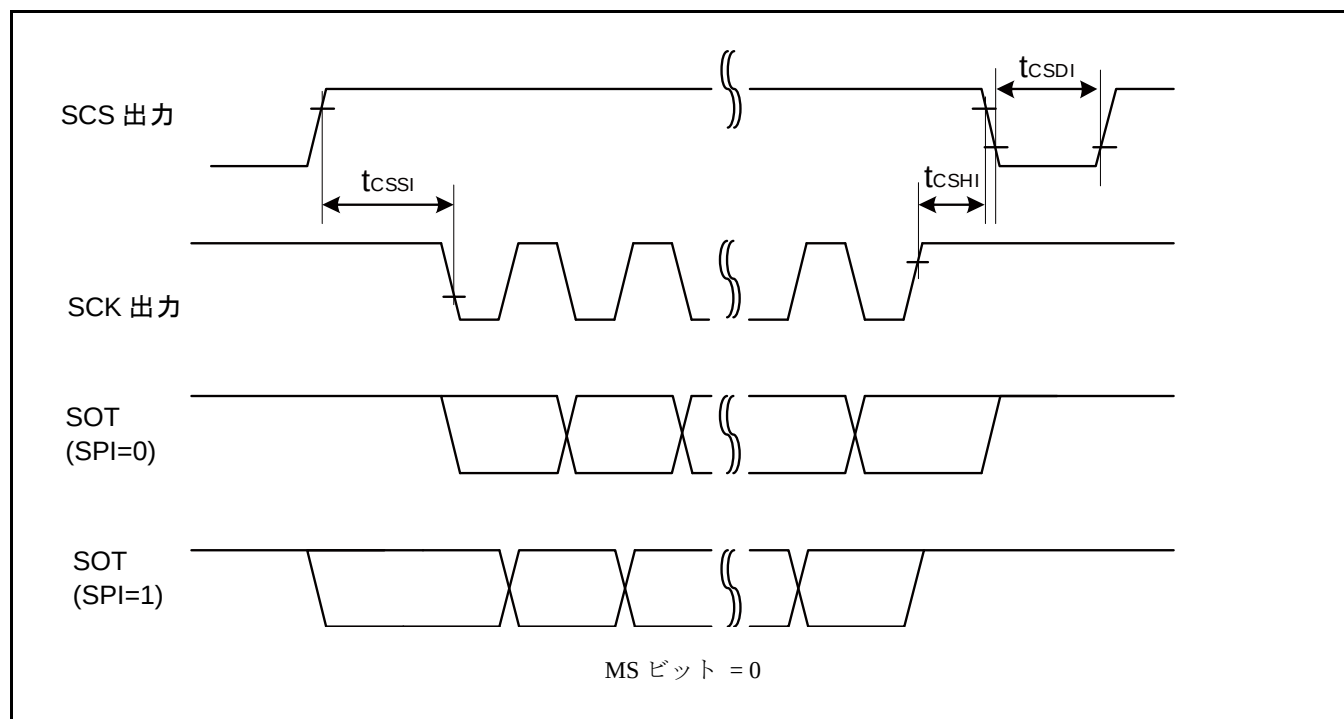
12.4.8 GPIO 出力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
出力周波数	t_{PCYCLE}	P_{XX}^*	$V_{CC} \geq 4.5 V$	-	50	MHz
			$V_{CC} < 4.5 V$	-	32	MHz

*: GPIO が対象です。





高速同期シリアル(SPI = 1, SCINV = 0)

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	端子名	条件	$V_{CC} < 4.5 V$		$V_{CC} \geq 4.5 V$		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t_{SCYC}	SCK _x	内部シフト クロック動作	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↑ → SOT 遅延時間	t_{SHOVI}	SCK _x , SOT _x		-10	+10	-10	+10	ns
SIN → SCK ↓ セットアップ時間	t_{IVSLI}	SCK _x , SIN _x		14 12.5*	-	12.5	-	ns
SCK ↓ → SIN ホールド時間	t_{SLIXI}	SCK _x , SIN _x		5	-	5	-	ns
SOT → SCK ↓ 遅延時間	t_{SOVLI}	SCK _x , SOT _x		$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
シリアルクロック L パルス幅	t_{LSLH}	SCK _x	外部シフト クロック動作	$2t_{CYCP} - 5$	-	$2t_{CYCP} - 5$	-	ns
シリアルクロック H パルス幅	t_{HSL}	SCK _x		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK ↑ → SOT 遅延時間	t_{SHOVE}	SCK _x , SOT _x		-	15	-	15	ns
SIN → SCK ↓ セットアップ時間	t_{IVSLE}	SCK _x , SIN _x		5	-	5	-	ns
SCK ↓ → SIN ホールド時間	t_{SLIXE}	SCK _x , SIN _x		5	-	5	-	ns
SCK 立下り時間	t_F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t_R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は以下のリロケート・ポート番号組み合わせのみの保証です。
 - ・ チップセレクトなし : SIN4_1, SOT4_1, SCK4_1
 - ・ チップセレクトあり : SIN6_1, SOT6_1, SCK6_1, SCS6_1
- 外部負荷容量 $C_L = 30 \text{ pF}$ 時 (* は $C_L = 10 \text{ pF}$ 時)

高速同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=0)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
			最小	最大	最小	最大	
SCS ↑→SCK ↓セットアップ時間	t _{CSSI}	内部シフト クロック 動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK ↑→SCS ↓ホールド時間	t _{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t _{CSDI}		(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	ns
SCS ↑→SCK ↓セットアップ時間	t _{CSSE}	外部シフト クロック 動作	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK ↑→SCS ↓ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS ↑→SOT 遅延時間	t _{DSE}		-	25	-	25	ns
SCS ↓→SOT 遅延時間	t _{DDE}		0	-	0	-	ns

(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

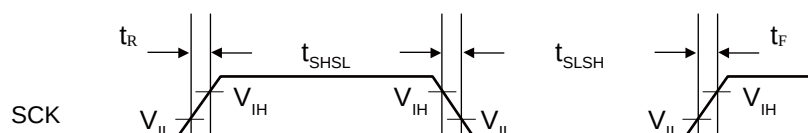
<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリー ペリフェラルマニュアル』を参照してください。
- 外部負荷容量 C_L = 30 pF 時

外部クロック (EXT = 1) : 非同期時のみ

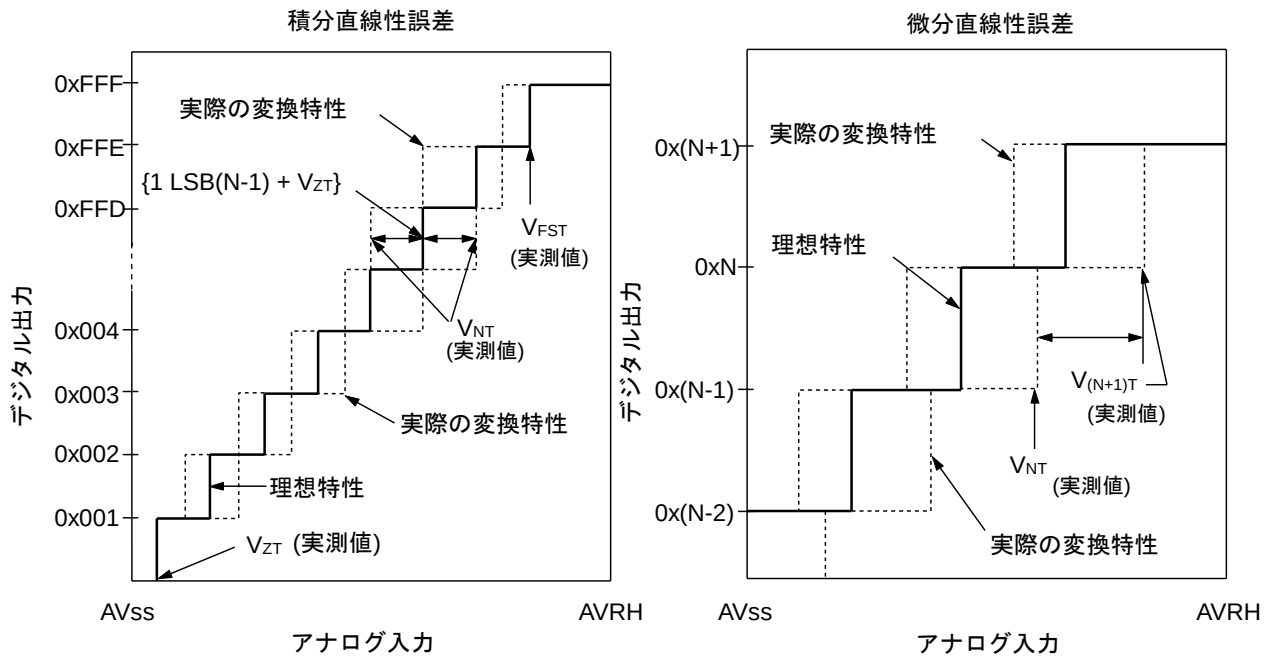
($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$)

項目	記号	条件	規格値		単位	備考
			最小	最大		
シリアルクロック L パルス幅	t_{SLSH}	$C_L = 30 \text{ pF}$	$t_{CYCP} + 10$	-	ns	
シリアルクロック H パルス幅	t_{SHSL}		$t_{CYCP} + 10$	-	ns	
SCK 立下り時間	t_F		-	5	ns	
SCK 立上り時間	t_R		-	5	ns	



12 ビット A/D コンバータの用語の定義

- 分解能: A/D コンバータにより識別可能なアナログ変化
- 積分直線性誤差: ゼロトランジション点(0b000000000000 ↔ 0b000000000001)とフルスケールトランジション点(0b111111111110 ↔ 0b111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



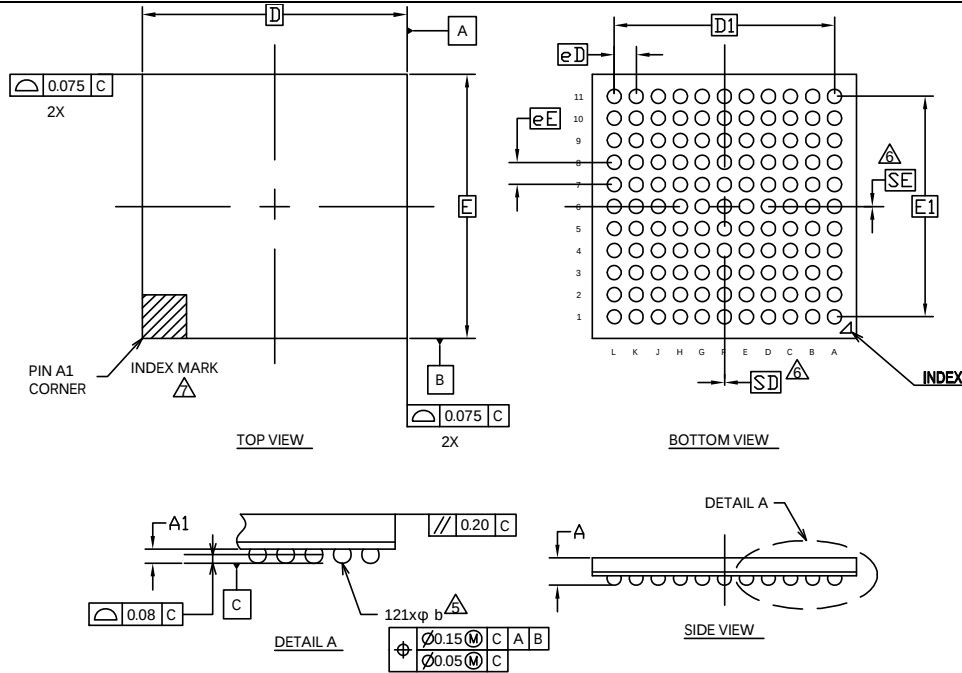
$$\text{デジタル出力 } N \text{ の積分直線性誤差} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \text{ [LSB]}$$

$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \text{ [LSB]}$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

- N: A/D コンバータデジタル出力値
- V_{ZT}: デジタル出力が 0x000 から 0x001 に遷移する電圧
- V_{FST}: デジタル出力が 0xFFE から 0xFFF に遷移する電圧
- V_{NT}: デジタル出力が 0x (N - 1) から 0xN に遷移する電圧

Package Type	Package Code
FBGA 121	FDI121



NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION N PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.20
A1	0.20	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
D1	5.00 BSC		
E1	5.00 BSC		
MD	11		
ME	11		
N	121		
Ø b	0.27	0.32	0.37
eD	0.50 BSC		
eE	0.50 BSC		
SD	0.00		
SE	0.00		

PACKAGE OUTLINE, 121 BALL FBGA
6.0X6.0X1.2 MM FDI121 REV**

002-13227 **

改訂履歴

文書名: S6E2H1 シリーズ 32 ビット ARM® Cortex®-M4F, FM4 マイクロコントローラ

文書番号: 001-99424

版	ECN 番号	変更者	発行日	変更内容
**	4884630	YUIA	08/18/2015	New Spec. (これは英語版の 001-98940 Rev. ** を翻訳した日本語版です。)
*A	4932870	YUIA	10/02/2015	Preliminary から Final に変更。 12.2 推奨動作条件 を更新: "平滑コンデンサ容量(Cs)"を追加。 "動作時最大リーク電流"の"電流値"を追加。 12.3.1 電流規格 を更新: Table 12-1 ~ 12-9 を更新: "最大値"を追加。 Table 12-11 を更新: 電圧、温度条件を追加。 12.10.1 復帰要因: 割込み/WKUP を更新: 復帰カウント時間を更新。 12.10.2 復帰要因: リセット を更新: 復帰カウント時間を更新。
*B	5027953	YUIA	11/26/2015	2. パッケージと品種対応 を更新: FBGA を"開発中から""対応"に変更。 4 端子機能一覧 を更新: JTAG 端子についての"注意事項"を追加。 12.5 12 ビット A/D コンバータを更新: "ゼロトランジション" と"フルスケールトランジション"の値を更新。 "総合誤差"を追加。
*C	5639298	NOSU	02/22/2017	サイプレスロゴを更新 特長 リアルタイムクロック(RTC:Real Time Clock)の記述を以下の様に修正((秒/曜日)の削除): 修正前) 日時指定(年/月/日/時/分/秒/曜日)での割込み機能、年/月/日/時/分 だけの個別設定も可能 修正後) 日時指定(年/月/日/時/分)での割込み機能、年/月/日/時/分 だけの個別設定も可能 3 端子配列図を更新: 図から信号名を削除。 4 端子機能一覧を更新: 入出力回路形式および端子状態形式にハイパーリンクを追加。 5 入出力回路形式を更新: 分類 N の備考に"- 5V トレラント"を追加。 7 デバイス使用上の注意を更新: 電源投入時についてにコメントを追加。 10 メモリマップを更新:

				メモリマップ(2)の最大アドレスを 0x200D_FFFF に変更。 11 各 CPU ステートにおける端子状態を更新: VBAT ドメイン端子状態一覧表に”*1”を追加。 12.3.1 電流規格を更新: Table 12-9 に”*7”を追加。 12.4.7 パワーオンリセットタイミグを更新: 項目、規格を以下の様に変更。また、備考および<注意事項>としてコメントを追記。 電源立上り時間(T_r)を削除。 電源断時間(T_{off})の規格値を変更。 修正前)電源断時間(t_{OFF})[ms] : 1(最小), -(最大) 修正後)電源断時間(t_{OFF})[ms] : 50(最小), -(最大) 電源立上り速度(dV/dt)を追加。 12.4.11 CSIO タイミグを更新: 以下の例に従い、表タイトルから”SPI=1”および”MS=0”を削除。また、タイミグ図に”MS ビット=0”または”MS ビット=1”を追加。 計 8 か所 (106、108、110、112、122、124、126、128 ページ)。 表タイトル修正の例 (106 ページの場合) 修正前) 同期シリアル チップセレクト使用時(SPI=1, SCINV=0, MS=0, CSLVL=1) 修正後) 同期シリアル チップセレクト使用時(SCINV=0, CSLVL=1) 12.4.11 CSIO タイミグの表にボーレートの最大値を追加。 計 4 か所 (98、100、102、104 ページ) 13 オーダ型格を以下の様に修正: S6E2H14G0AGB30000 → S6E2H14G0AGB3000A S6E2H16G0AGB30000 → S6E2H16G0AGB3000A 14 パッケージ・外形寸法図の図を更新
--	--	--	--	---