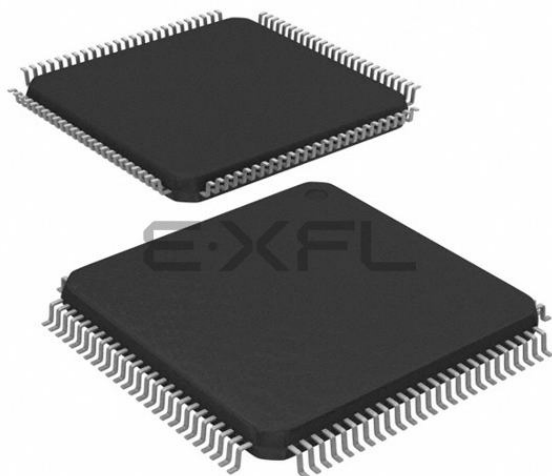




Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	ARM® Cortex®-M4F
Core Size	32-Bit Single-Core
Speed	160MHz
Connectivity	CSIO, EBI/EMI, I ² C, LINbus, SD, UART/USART
Peripherals	DMA, LVD, POR, PWM, WDT
Number of I/O	80
Program Memory Size	288KB (288K x 8)
Program Memory Type	FLASH
EEPROM Size	-
RAM Size	32K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b; D/A 2x12b
Oscillator Type	Internal
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	100-LQFP
Supplier Device Package	100-LQFP (14x14)
Purchase URL	https://www.e-xfl.com/product-detail/infineon-technologies/s6e2he4f0agv20000

目录

1. 产品系列.....	7
2. 封装.....	8
3. 引脚分配.....	9
4. 引脚说明.....	13
5. I/O 电路类型.....	45
6. 处理注意事项.....	52
6.1 产品设计注意事项.....	52
6.2 封装安装注意事项.....	53
6.3 使用环境注意事项.....	55
7. 器件注意事项.....	56
8. 框图.....	59
9. 存储器大小.....	60
10. 存储空间分配.....	60
11. 各 CPU 模式下的引脚状态.....	63
12. 电气特性.....	70
12.1 最大绝对额定值.....	70
12.2 推荐工作条件.....	72
12.3 直流特性.....	75
12.3.1 电流额定值.....	75
12.3.2 引脚特性.....	85
12.4 交流电特性.....	87
12.4.1 主时钟输入特性.....	87
12.4.2 副时钟输入特性.....	88
12.4.3 内置 CR 振荡特性.....	88
12.4.4 主 PLL 模式（主时钟作为 PLL 输入时钟）.....	89
12.4.5 主 PLL 模式（内置高速 CR 时钟作为主 PLL 输入时钟）.....	89
12.4.6 复位输入特性.....	89
12.4.7 上电复位时序.....	90
12.4.8 GPIO 输出特性.....	91
12.4.9 外部总线时序.....	92
12.4.10 基础定时器输入时序.....	105
12.4.11 CSIO 时序.....	106
12.4.12 外部输入时序.....	139
12.4.13 正交位置/转数计数器时序.....	140
12.4.14 I ² C 时序.....	142
12.4.15 SD 卡接口时序.....	144
12.4.16 ETM 时序.....	146
12.4.17 JTAG 时序.....	147
12.5 12 位 A/D 转换器.....	148
12.6 12 位 D/A 转换器.....	151
12.7 低电压检测特性.....	152
12.7.1 低电压检测复位.....	152
12.7.2 低电压检测中断.....	152
12.8 主闪存写入/擦除特性.....	153
12.9 工作闪存存储器写入/擦除特性.....	153

12.10 低功耗模式唤醒时间	154
12.10.1 唤醒因素：中断/WKUP	154
12.10.2 唤醒因素：复位	156
13. 订购信息.....	158
14. 封装尺寸.....	159
文档修订记录.....	163
销售，解决方案和法律信息	164

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
多功能串行 接口 6	SIN6_0	多功能串行接口通道 6 输入引脚	7	7	7	E2
	SIN6_1		95	80	65	B8
	SOT6_0 (SDA6_0)	多功能串行接口通道 6 输出引脚。 用于 UART/CSIO/LIN（操作模式 0 到 3）接 口时，该引脚作为 SOT6 使用；而用于 I2C （操作模式 4）时，则作为 SDA6 使用。	8	8	8	E3
	SOT6_1 (SDA6_1)		94	79	64	C8
	SCK6_0 (SCL6_0)	多功能串行接口通道 6 时钟 I/O 引脚。 用于 CSIO（操作模式 2）接口时，该引脚作 为 SCK6 使用；而用于 I2C（操作模式 4） 时，则作为 SCL6 使用。	9	-	-	E4
	SCK6_1 (SCL6_1)		93	78	63	A9
	SCS6_1	多功能串行接口通道 6 串行片选引脚	92	77	62	B9
多功能串行 接口 7	SIN7_0	多功能串行接口通道 7 输入引脚	101	86	-	D6
	SIN7_1		50	45	35	K8
	SOT7_0 (SDA7_0)	多功能串行接口通道 7 输出引脚。 用于 UART/CSIO/LIN（操作模式 0 到 3）接 口时，该引脚作为 SOT7 使用；而用于 I2C （操作模式 4）时，则作为 SDA7 使用。	100	85	-	A7
	SOT7_1 (SDA7_1)		49	44	34	J8
	SCK7_0 (SCL7_0)	多功能串行接口通道 7 时钟 I/O 引脚。 用于 CSIO（操作模式 2）接口时，该引脚作 为 SCK7 使用；而用于 I2C（操作模式 4） 时，则作为 SCL7 使用。	99	84	-	B7
	SCK7_1 (SCL7_1)		48	43	33	J7
	SCS7_1	多功能串行接口通道 7 串行片选引脚	47	42	32	J6

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
时钟	X0	主时钟（振荡）输入引脚	58	48	38	L9
	X1	主时钟（振荡）I/O 引脚	59	49	39	L10
	X0A	副时钟（振荡）输入引脚	39	34	24	L4
	X1A	副时钟（振荡）I/O 引脚	40	35	25	K4
	CROUT_0	内置高速 CR 振荡时钟输出端口	87	72	58	C10
	CROUT_1		113	93	73	B4
ADC 电源	AVCC	A/D 转换器和 D/A 转换器 模拟电源供电引脚	70	60	49	J11
	AVRL	A/D 转换器模拟参考电压输入引脚	72	62	51	G11
	AVRH	A/D 转换器模拟参考电压输入引脚	73	63	52	F11
VBAT 电源	VBAT	VBAT 电源供电引脚。 备用电源（电池等）和系统电源。	43	38	28	L5
ADC GND	AVSS	A/D 转换器和 D/A 转换器 GND 引脚	71	61	50	H11
C 引脚	C	内部电源稳定电容引脚	44	39	29	L6

上电时的注释

请按照以下顺序或同时打开/关闭电源。

如果未使用 A/D 转换器和 D/A 转换器，请将 AVCC 连接到 VCC 上，将 AVSS 连接到 VSS。

上电： VBAT → VCC
VCC → AVCC → AVRH
断电： VCC → VBAT
AVRH → AVCC → VCC

串行通信

实现串行通信时，噪声或其他问题可能导致接收到错误数据。

因此，需要设计一个印刷电路板以避免噪声。

考虑到因有噪声而收到错误数据的情况，请执行错误检测（如在数据结尾处添加校验和）。如果检测到某种错误，应重新传输数据。

不同存储器大小产品间的特性差异，以及闪存产品和 MASK 产品之间的特性差异。

由于芯片布局和存储器结构不一样，因此存储器大小不同的产品间以及闪存产品和 MASK 产品之间的电气特性（包括功耗、ESD、栓锁、噪声和振荡特性）可能存在差异。

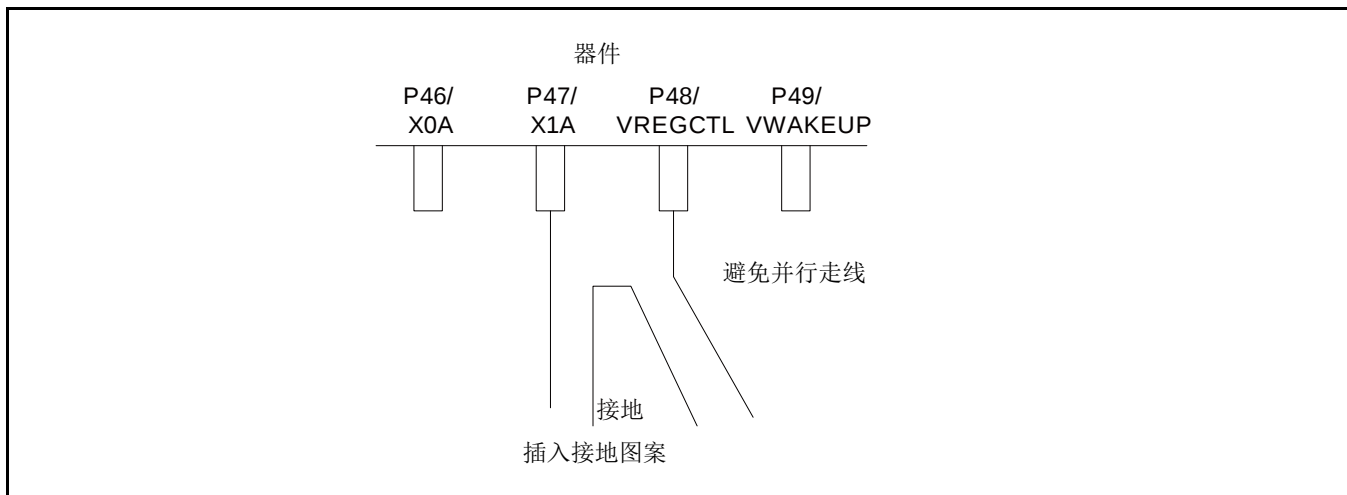
如果您切换到同一系列中的其他产品，则必须评估电气特性。

可承受 5 V 输入 I/O 的上拉功能

当使用可承受 5 V 输入 I/O 的上拉功能时，请勿输入超过 VCC 电压的信号。

在电路板上使相邻连线互接

如果晶体振荡器电路 X1A 的连线与 P48/VREGCTL 的连线邻接且并行运行，那么振荡器可能会错误计数。这是因为 P48/VREGCTL 的更改使 X1A 产生噪声。在两个连线之间保持尽可能大的距离，并插入一个接地图案以避免这种情况。



使用调试引脚时的注意事项

将调试引脚（TDO/TMS/TDI/TCK/TRSTX 或 SWO/SWDIO/SWCLK）设置为 GPIO 或其他外设功能时，只能将它们设置为输出引脚，不能设置为输入引脚。

外设地址分配

起始地址	结束地址	总线	外设
0x4000_0000	0x4000_0FFF	AHB	主闪存 I/F 寄存器
0x4000_1000	0x4000_FFFF		保留
0x4001_0000	0x4001_0FFF	APB0	时钟/复位控制
0x4001_1000	0x4001_1FFF		硬件看门狗定时器
0x4001_2000	0x4001_2FFF		软件看门狗定时器
0x4001_3000	0x4001_4FFF		保留
0x4001_5000	0x4001_5FFF		双定时器
0x4001_6000	0x4001_FFFF		保留
0x4002_0000	0x4002_0FFF	APB1	多功能定时器单元 0
0x4002_1000	0x4002_1FFF		多功能定时器单元 1
0x4002_2000	0x4002_2FFF		多功能定时器单元 2
0x4002_3000	0x4003_FFFF		保留
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		基础定时器
0x4002_6000	0x4002_6FFF		正交位置/转数计数器
0x4002_7000	0x4002_7FFF		A/D 转换器
0x4002_8000	0x4002_DFFF		保留
0x4002_E000	0x4002_EFFF		内部 CR 调整
0x4002_F000	0x4002_FFFF		保留
0x4003_0000	0x4003_0FFF	APB2	外部中断控制器
0x4003_1000	0x4003_1FFF		中断请求批量读取功能
0x4003_2000	0x4003_4FFF		保留
0x4003_3000	0x4003_3FFF		D/A 转换器
0x4003_4000	0x4003_4FFF		保留
0x4003_5000	0x4003_57FF		低电压检测
0x4003_5800	0x4003_5FFF		深度待机模式控制器
0x4003_6000	0x4003_7FFF		保留
0x4003_8000	0x4003_8FFF		多功能串行接口
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		计时计数器
0x4003_B000	0x4003_BFFF		RTC/端口控制
0x4003_C000	0x4003_C0FF		低速 CR 预分频器
0x4003_C100	0x4003_C7FF		外设时钟门控
0x4003_C800	0x4003_EFFF		保留
0x4003_F000	0x4003_FFFF		外部存储器接口
0x4004_0000	0x4005_FFFF	AHB	保留
0x4006_0000	0x4006_0FFF		DMAC 寄存器
0x4006_1000	0x4006_1FFF		DSTC 寄存器
0x4006_24000	0x4006_DFFF		保留
0x4006_E000	0x4006_EFFF		SD 卡 I/F
0x4006_F000	0x4006_FFFF		GPIO
0x4006_7000	0x41FF_FFFF		保留
0x200E_0000	0x200E_FFFF		工作闪存 I/F 寄存器

- *3: 所有端口为固定电平
- *4: 频率为 HCLK 值, $PCLK0 = PCLK1 = PCLK2 = HCLK/2$
- *5: 0 等待周期模式 (FRWTR.RWT = 00, FSYNDN.SD = 000)
- *6: 使用 32 kHz 的晶振 (包含振荡电路所消耗的电流)

12.3.2 引脚特性

($V_{CC} = AV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值			单位	备注
				最小值	典型值	最大值		
高电平输入电压 (迟滞输入)	V_{IHS}	CMOS 迟滞输入引脚、 MD0、MD1	—	$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V	
		耐 5 V 输入引脚	—	$V_{CC} \times 0.8$	—	$V_{SS} + 5.5$	V	
		I ² C Fm+复用引脚	—	$V_{CC} \times 0.7$	—	$V_{SS} + 5.5$	V	
低电平输入电压 (迟滞输入)	V_{ILS}	CMOS 迟滞输入引脚、 MD0、MD1	—	$V_{SS} - 0.3$	—	$V_{CC} \times 0.2$	V	
		耐 5 V 输入引脚	—	$V_{SS} - 0.3$	—	$V_{CC} \times 0.2$	V	
		I ² C Fm+复用引脚	—	V_{SS}	—	$V_{CC} \times 0.3$	V	
高电平输出电压	V_{OH}	4 mA 型	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -4\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -2\text{ mA}$					
		8 mA 型	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -8\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -4\text{ mA}$					
		12 mA 型	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -12\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -8\text{ mA}$					
		I ² C Fm+复用引脚	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -4\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	GPIO 功能
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -3\text{ mA}$					

NAND 闪存模式

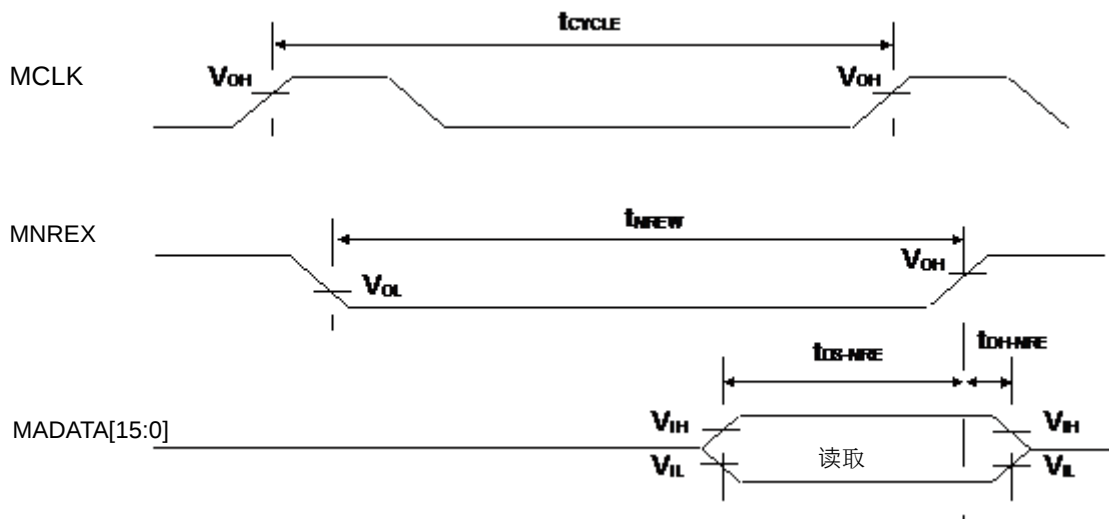
($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值		单位
				最小值	最大值	
MNREX 最小脉宽	t_{NREW}	MNREX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK \times n - 3$	—	ns
数据建立到 MNREX 上升沿时间	t_{DS-NRE}	MNREX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	20 38	—	ns
MNREX 上升沿到数据保持时间	t_{DH-NRE}	MNREX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	—	ns
MNALE 上升沿到 MNWEX 延迟时间	$t_{ALEH-NWEL}$	MNALE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNALE 下降沿到 MNWEX 延迟时间	$t_{ALEL-NWEL}$	MNALE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNCLE 上升沿到 MNWEX 延迟时间	$t_{CLEH-NWEL}$	MNCLE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNWEX 上升沿到 MNCLE 延迟时间	$t_{NWEH-CLEL}$	MNCLE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNWEX 最小脉宽	t_{NWEW}	MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK \times n - 3$	—	ns
MNWEX 下降沿到数据输出延迟时间	$t_{NWEH-DV}$	MNWEX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	-9 -12	+9 12	ns
MNWEX 上升沿到数据保持时间	$t_{NWEH-DX}$	MNWEX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns

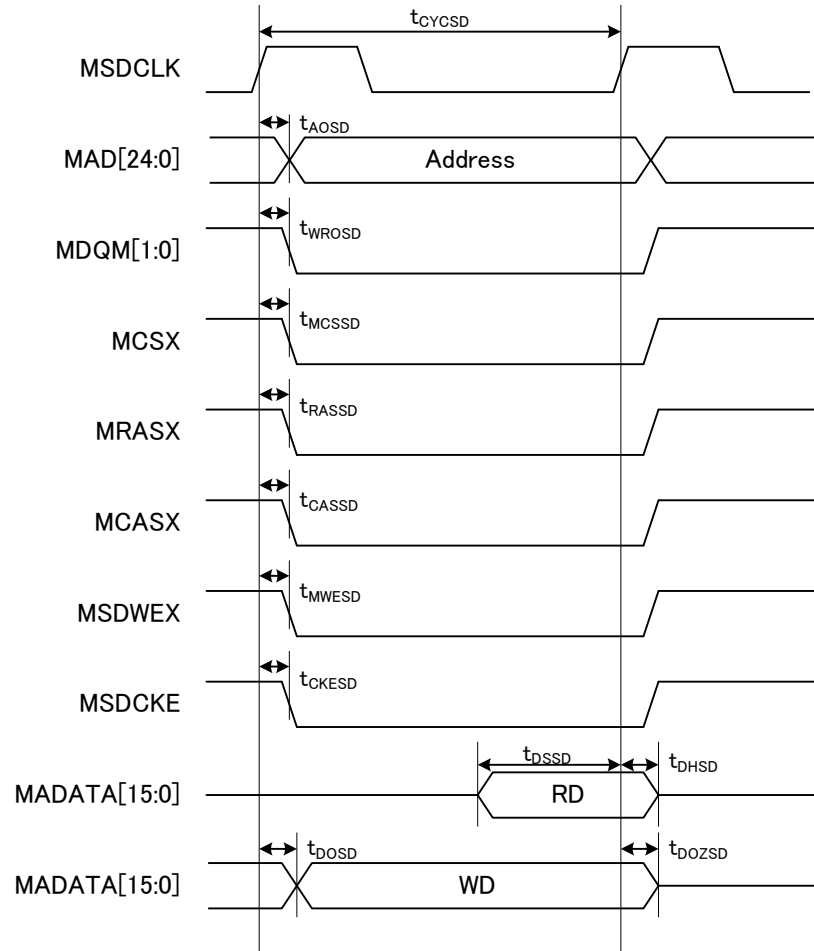
注意:

- 外部负载电容 C_L 为 30 pF ($m = 0 \sim 15$, $n = 1 \sim 16$)

NAND 闪存读



SDRAM 访问时序

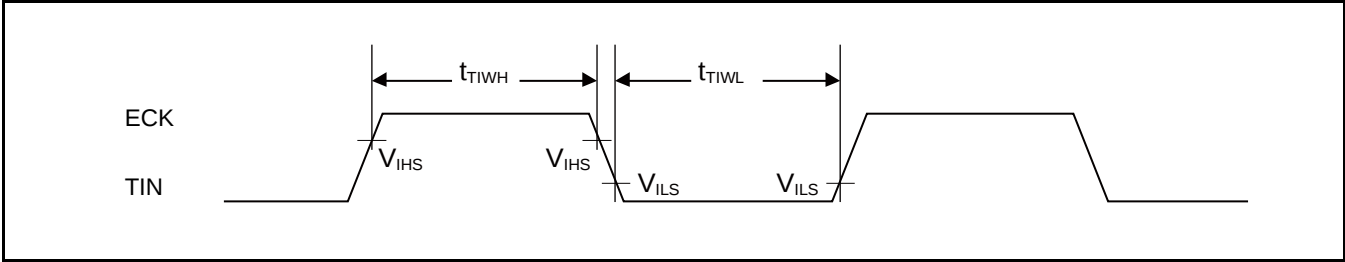


12.4.10 基础定时器输入时序

定时器输入时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

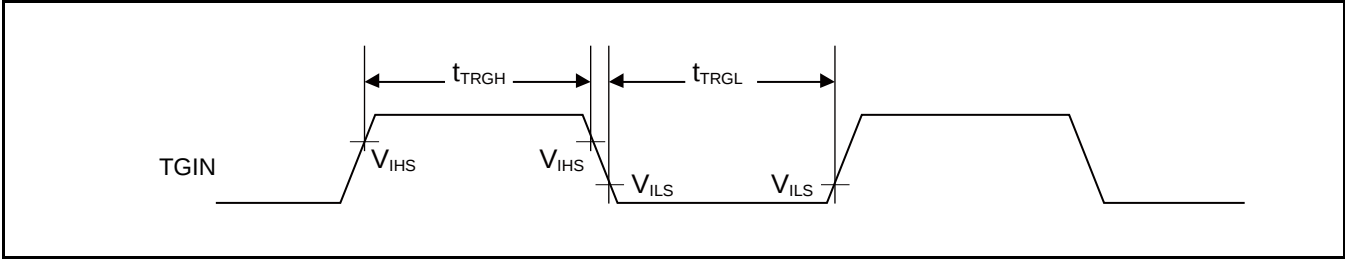
参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
输入脉宽	t_{TIWH} , t_{TIWL}	TIOAn/TIOBn (ECK、TIN 功能)	—	$2t_{CYCP}$	—	ns	



触发信号时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
输入脉宽	t_{TRGH} , t_{TRGL}	TIOAn/TIOBn (TGIN 功能)	—	$2t_{CYCP}$	—	ns	



注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关基础定时器挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。

同步串行片选模式 (SPI = 1, SCINV = 0, MS = 0, CSLVL = 1)

 (V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V)

参数	符号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 下降沿建立时间	t _{CSSI}	内部移位时钟	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK 上升沿到 SCS 上升沿保持时间	t _{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS 取消时间	t _{CSDI}		(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	ns
SCS 下降沿到 SCK 下降沿建立时间	t _{CSSE}	外部移位时钟	3t _{CYCP} +30	—	3t _{CYCP} +30	—	ns
SCK 上升沿到 SCS 上升沿保持时间	t _{CSHE}		0	—	0	—	ns
SCS 取消时间	t _{CSDE}		3t _{CYCP} +30	—	3t _{CYCP} +30	—	ns
SCS 下降沿到 SUT 延迟时间	t _{DSE}		—	40	—	40	ns
SCS 上升沿到 SUT 延迟时间	t _{DEE}		0	—	0	—	ns

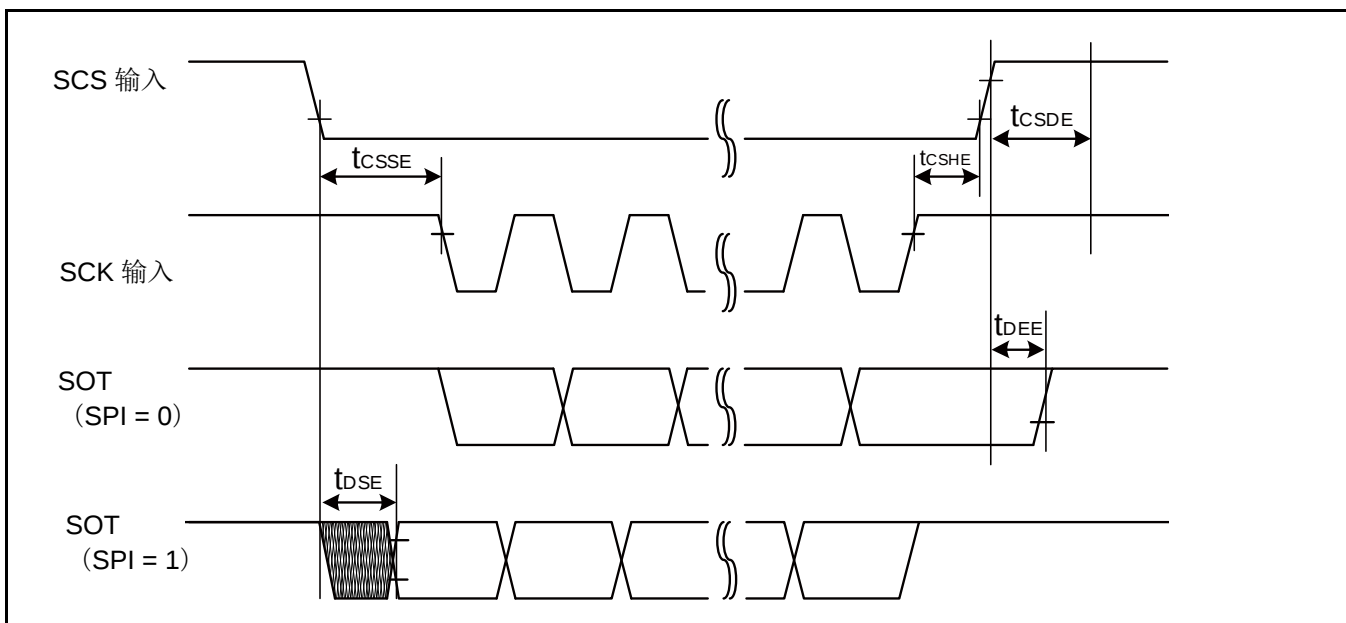
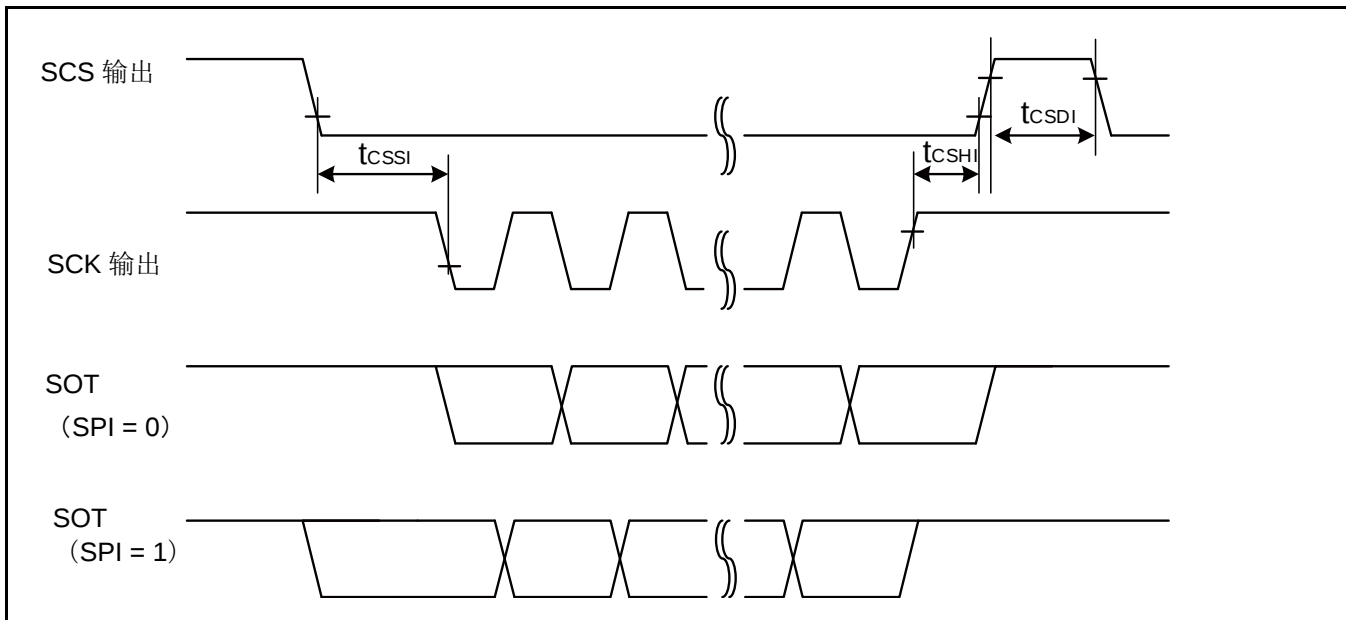
(*1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 的内容。
- 外部负载电容 C_L 为 30 pF。



高速同步串行模式 (SPI = 1, SCINV = 0)

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V)

参数	符号	引脚名称	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t _{SCYC}	SCKx	内部移位时钟	4t _{CYCP}	—	4t _{CYCP}	—	ns
SCK 上升沿到 SOT 延迟时间	t _{SHOVI}	SCKx, SOTx		-10	+10	-10	+10	ns
SIN 到 SCK 下降沿建立时间	t _{IVSLI}	SCKx, SINx		14	—	12.5	—	ns
				12.5*				
SCK 下降沿到 SIN 保持时间	t _{SLIXI}	SCKx, SINx		5	—	5	—	ns
SOT 到 SCK 下降沿延迟时间	t _{SOVLI}	SCKx, SOTx		2t _{CYCP} - 10	—	2t _{CYCP} - 10	—	ns
串行时钟低电平脉宽	t _{SLSH}	SCKx	外部移位时钟	2t _{CYCP} - 5	—	2t _{CYCP} - 5	—	ns
串行时钟高电平脉宽	t _{SHSL}	SCKx		t _{CYCP} + 10	—	t _{CYCP} + 10	—	ns
SCK 上升沿到 SOT 延迟时间	t _{SHOVE}	SCKx, SOTx		—	15	—	15	ns
SIN 到 SCK 下降沿建立时间	t _{IVSLE}	SCKx, SINx		5	—	5	—	ns
SCK 下降沿到 SIN 保持时间	t _{SLIXE}	SCKx, SINx		5	—	5	—	ns
SCK 下降时间	t _F	SCKx		—	5	—	5	ns
SCK 上升时间	t _R	SCKx		—	5	—	5	ns

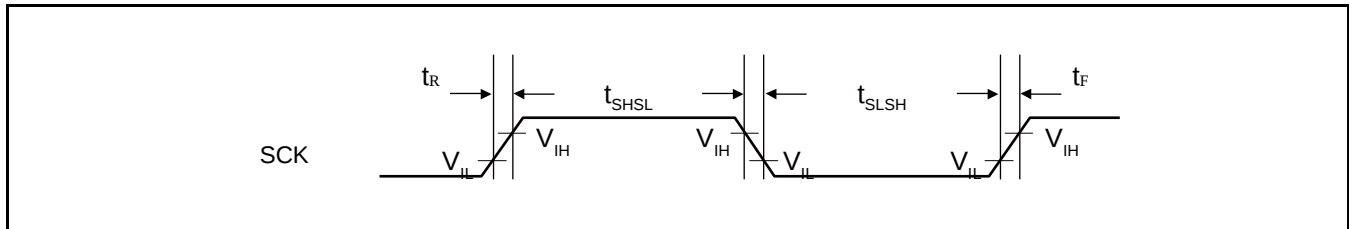
注意:

- 上述特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 这些特性仅适用于以下各引脚。
- 无片选: SIN4_1、SOT4_1、SCK4_1
- 片选: SIN6_1、SOT6_1、SCK6_1、SCS6_1
- 外部负载电容 C_L 为 30 pF。(对于带*项, 条件为 C_L = 10 pF)

外部时钟 (EXT = 1): 仅适用于异步模式

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	数值		单位	备注
			最小值	最大值		
串行时钟低电平脉宽	t_{SLSH}	$C_L = 30\text{ pF}$	$t_{CYCP} + 10$	—	ns	
串行时钟高电平脉宽	t_{SHSL}		$t_{CYCP} + 10$	—	ns	
SCK 下降时间	t_F		—	5	ns	
SCK 上升时间	t_R		—	5	ns	



12.4.12 外部输入时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

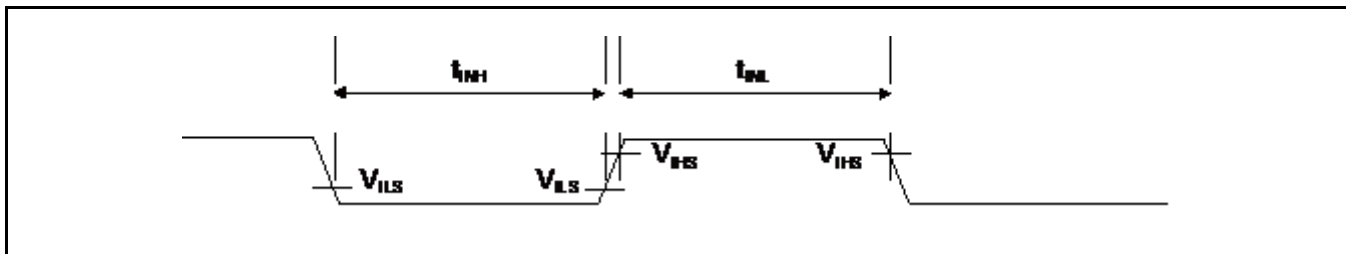
参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
输入脉宽	t_{INH} 、 t_{INL}	ADTG	—	$2t_{CYCP}^{*1}$	—	ns	A/D 转换器触发输入
		FRCKx					自由运行定时器输入时钟
		ICxx					输入捕获
		DTTixX	—	$2t_{CYCP}^{*1}$	—	ns	波形发生器
		INT00 至 INT15, NMIX	—	$2t_{CYCP} + 100^{*1}$	—	ns	外部中断
				500 ^{*2}	—	ns	NMI
		WKUPx	—	500 ^{*3}	—	ns	深度待机模式唤醒

*1: t_{CYCP} 指的是 APB 总线时钟周期，处于停止模式、定时器模式的停止信号除外。

有关 A/D 转换器、多功能定时器和外部中断挂接的 APB 总线编号的详细信息，请参考第 8 章框图的内容。

*2: 器件处于 停止模式或定时器模式。

*3: 器件处于深度待机 RTC 模式或深度待机停止模式。

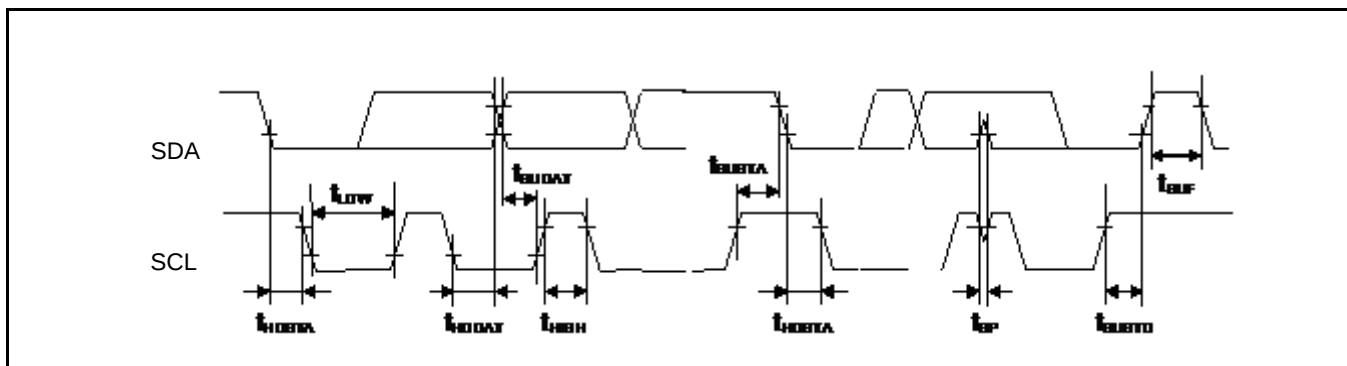


高速模式 (Fm+)

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V)

参数	符号	条件	高速模式 (Fm+) *6		单位	备注
			最小值	最大值		
SCL 时钟频率	f _{SCL}	C _L = 30 pF, R = (V _p /I _{OL})*1	0	1000	kHz	
(重复) 起始信号保持时间 (从 SDA 下降沿到 SCL 下降沿)	t _{HDSTA}		0.26	—	μs	
SCL 时钟低电平时间	t _{LOW}		0.5	—	μs	
SCL 时钟高电平时间	t _{HIGH}		0.26	—	μs	
SCL 时钟频率	t _{SUSTA}		0.26	—	μs	
(重复) 起始信号保持时间 (从 SDA 下降沿到 SCL 下降沿)	t _{HDDAT}		0	0.45*2·*3	μs	
数据建立时间 (从 SDA 下降沿/上升沿到 SCL 上升沿)	t _{SUDAT}		50	—	ns	
停止信号的建立时间 (从 SCL 上升沿到 SDA 上升沿)	t _{SUSTO}		0.26	—	μs	
停止信号和起始信号之间的总线空闲时间	t _{BUF}		0.5	—	μs	
噪声过滤时间	t _{SP}	60 MHz ≤ t _{CYCP} < 80 MHz	6 t _{CYCP} *4	—	ns	*5
		80 MHz ≤ t _{CYCP} < 100 MHz	8 t _{CYCP} *4	—	ns	
		100 MHz ≤ t _{CYCP} < 120 MHz	10 t _{CYCP} *4	—	ns	
		120 MHz ≤ t _{CYCP} < 140 MHz	12 t _{CYCP} *4	—	ns	
		140 MHz ≤ t _{CYCP} < 160 MHz	14 t _{CYCP} *4	—	ns	
		160 MHz ≤ t _{CYCP} < 180 MHz	16 t _{CYCP} *4	—	ns	

- 1: R 和 C_L 分别表示 SCL 和 SDA 线的上拉电阻和负载电容。V_p 是指上拉电阻的电源电压，而 I_{OL} 是指置总线于 V_{OL} 的保证电流。
- 2: t_{HDDAT} 的最大值不能超过器件的 SCL 信号的低电平 (t_{LOW}) 时间。
- 3: 只要器件满足 t_{SUDAT} ≥ 250 ns 的条件，高速模式 I²C 总线器件便能够用于标准模式 I²C 总线系统中。
- 4: t_{CYCP} 是指 APB 总线时钟周期时间。有关 I²C 挂接的 APB 总线编号的详细信息，请参考第 8 章框图的内容。如需使用高速模式 (Fm+)，请将外设总线时钟的频率设置为 64 MHz 或更高。
- 5: 设置寄存器可以修改噪声过滤时间。根据 APB 总线时钟频率改变噪声过滤范围。
- 6: 使用高速模式 (Fm+) 时，将 I/O 引脚设置为与 EPFR 寄存器中 I²C Fm+ 相应的模式。
更多有关信息，请参考“FM4 系列外设手册”的“主要”部分 (MN709-00001) 中第 12 章：I/O 端口的内容。



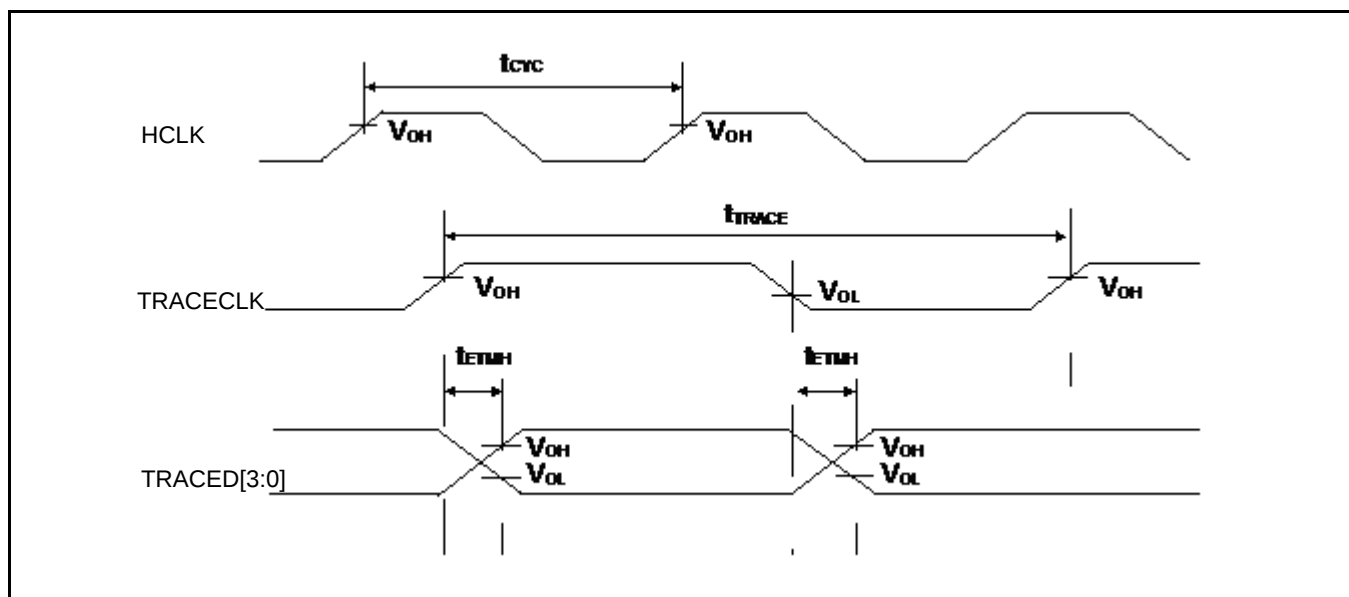
12.4.16 ETM 时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
数据保持时间	t_{ETMH}	TRACECLK、 TRACED[3:0]	$V_{CC} \geq 4.5\text{ V}$	2	9	ns	
			$V_{CC} < 4.5\text{ V}$	2	15		
TRACECLK 频率	$1/t_{TRACE}$	TRACECLK	$V_{CC} \geq 4.5\text{ V}$	–	50	MHz	
			$V_{CC} < 4.5\text{ V}$	–	32	MHz	
TRACECLK 时钟周期	t_{TRACE}	TRACECLK	$V_{CC} \geq 4.5\text{ V}$	20	–	ns	
			$V_{CC} < 4.5\text{ V}$	31.25	–	ns	

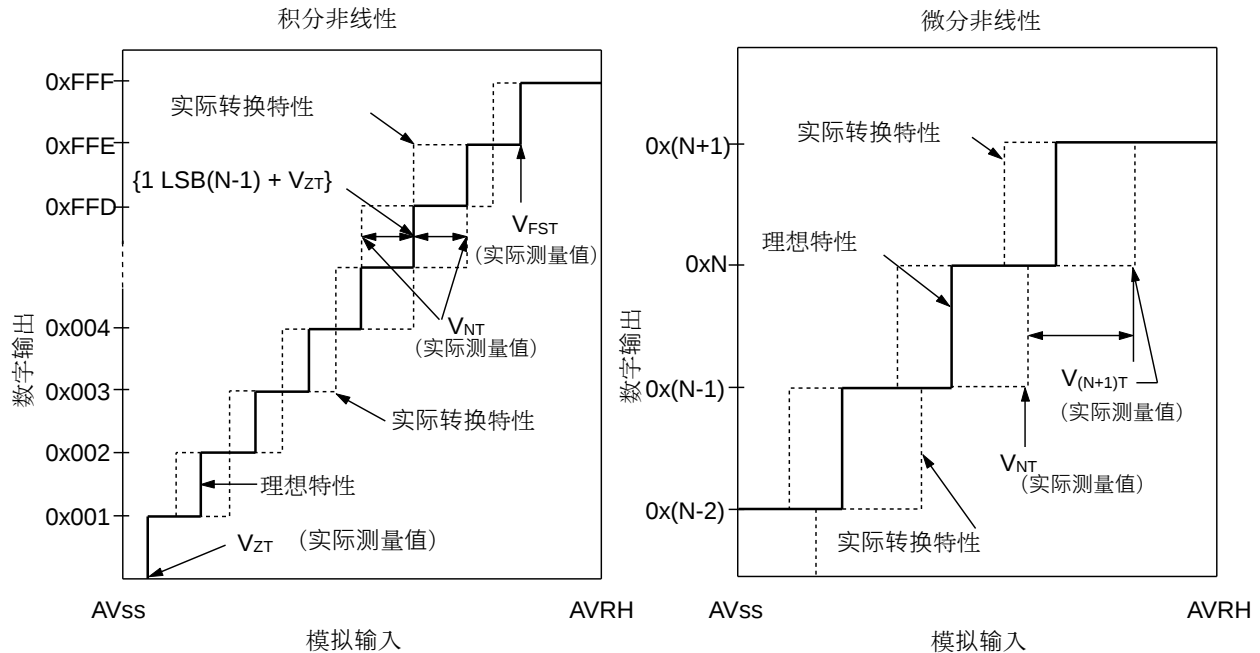
注意:

- 外部负载电容 C_L 为 30 pF。



12 位 A/D 转换器定义术语

- 分辨率: A/D 转换器能识别出的数值变动最小刻度。
- 积分非线性: 零转换点 (0b000000000000 $\longleftrightarrow$ 0b000000000001) 到全量程转换点 (0b111111111110 $\longleftrightarrow$ 0b111111111111) 之间连线与实际转换特性的偏差。
- 差分非线性: 与输入电压理想值的偏差, 用于对输出值进行 1 LSB 调整。



$$\text{数字输出 } N \text{ 的积分非线性} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \quad [\text{LSB}]$$

$$\text{数字输出 } N \text{ 的微分非线性} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \quad [\text{LSB}]$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

N: A/D 转换器的数字输出值。

V_{ZT}: 数字输出值从 0x000 变为 0x001 的电压。

V_{FST}: 数字输出值由 0xFFE 变为 0xFFF 的电压。

V_{NT}: 数字输出值由 0x(N - 1)更改为 0xN 的电压。