



Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	ARM® Cortex®-M4F
Core Size	32-Bit Single-Core
Speed	160MHz
Connectivity	CSIO, EBI/EMI, I ² C, LINbus, SD, UART/USART
Peripherals	DMA, LVD, POR, PWM, WDT
Number of I/O	100
Program Memory Size	288KB (288K x 8)
Program Memory Type	FLASH
EEPROM Size	-
RAM Size	32K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b; D/A 2x12b
Oscillator Type	Internal
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	120-LQFP
Supplier Device Package	120-LQFP (16x16)
Purchase URL	https://www.e-xfl.com/product-detail/infineon-technologies/s6e2he4g0agv20000

VBAT

RTC 操作期间，通过使用独立用于 RTC（记录电路）/32kHz 振荡电路的电源，可降低功耗。此时，以下电路可继续工作：

- RTC
- 32 kHz 振荡电路
- 上电电路
- 备用寄存器：32 字节
- 端口电路

调试

- 串行线 J-TAG 调试端口（SWJ-DP）

- 嵌入式追踪宏单元（ETM）支持全面高效的调试和追踪操作。

唯一 ID

器件的唯一 ID 号（41 位）。

电源

两种电源

- | | | | |
|---|----------|-------|-----------|
| ■ | 宽电压范围： | VCC | = 2.7 V 到 |
| | | 5.5 V | |
| ■ | VBAT 电源： | VBAT | = 2.7 V 到 |
| | | 5.5 V | |

12.10 低功耗模式唤醒时间	154
12.10.1 唤醒因素：中断/WKUP	154
12.10.2 唤醒因素：复位	156
13. 订购信息.....	158
14. 封装尺寸.....	159
文档修订记录.....	163
销售，解决方案和法律信息	164

FDI121

(顶视图)

	1	2	3	4	5	6	7	8	9	10	11
A	VSS	P81	P80	VCC	TRSTX	VSS	P06	P0A	P0D	VCC	VSS
B	VCC	P60	P61	P63	TCK	TDO	P07	P0B	P0E	P24	P20
C	P50	P51	P62	P64	TDI	TMS	P08	P0C	P25	P22	P21
D	P52	P53	P54	P65	P66	P05	P09	P26	P1E	P1D	P23
E	P30	P55	P56	P57	P67	P68	P27	P1C	P1B	P1A	P19
F	P34	P33	P32	P31	P58	P59	P1F	P18	P17	P16	AVRH
G	P35	P36	P37	P38	P5A	P5B	P72	P15	P14	P13	AVRL
H	P39	P3A	P3B	P3C	P43	P70	P71	P73	P12	P11	AVSS
J	P3D	P3E	P41	P45	P42	P4B	P4C	P4D	P74	P10	AVCC
K	VCC	P3F	P44	X1A	P48	P49	VCC	P4E	MD0	VSS	VCC
L	VSS	P40	INITX	X0A	VBAT	C	VSS	MD1	X0	X1	VSS

注意:

- 引脚名称 (如 XXX_1 和 XXX_2) 中下划线 (“_”) 后面的数字代表重定位端口号。此类功能引脚, 可由多个物理引脚映射, 提供同一通道的同一功能。使用扩展端口功能寄存器 (EPFR) 选择引脚。

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	BGA121			
80	70	-	D9	P1E	F	L
				AN14		
				ADTG_5		
				FRCK0_1		
				MAD21_0		
81	-	-	F7	P1F	E	I
				ADTG_4		
				TIOB6_2		
				RTO05_1 (PPG04_1)		
82	-	-	E7	P27	E	K
				TIOA6_2		
				RTO04_1 (PPG04_1)		
				INT02_2		
83	-	-	D8	P26	E	I
				TIOB5_0		
				SCK2_1 (SCL2_1)		
				RTO03_1 (PPG02_1)		
84	-	-	C9	P25	E	I
				TIOA5_0		
				SOT2_1 (SDA2_1)		
				RTO02_1 (PPG02_1)		
85	-	-	B10	P24	E	K
				SIN2_1		
				RTO01_1 (PPG00_1)		
				INT01_2		
86	71	57	D11	P23	F	L
				AN15		
				TIOA7_1		
				SCK0_0 (SCL0_0)		
				RTO00_1 (PPG00_1)		
		-		MAD22_0		

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	BGA121			
87	72	58	C10	P22	F	L
				CROUT_0		
				AN16		
				TIOB7_1		
				SOT0_0 (SDA0_0)		
		-		ZIN1_1		
		58		RTO23_0		
88	73	59	C11	P21	F	M
				AN17		
		-		SIN0_0		
		59		BIN1_1		
		-		INT06_1		
		59		MAD23_0		
		59		RTO24_0		
89	74	-	B11	P20	F	M
				AN18		
				AIN1_1		
				INT05_0		
				MAD24_0		
				RTO25_0		
90	75	60	A11	VSS	-	-
91	76	61	A10	VCC	-	-
92	77	62	B9	P0E	L	I
				TIOB5_2		
				SCS6_1		
				IC13_0		
				S_CLK_0		
				MDQM1_0		
93	78	63	A9	P0D	L	I
				TIOA5_2		
				SCK6_1 (SCL6_1)		
				IC12_0		
				S_CMD_0		
				MDQM0_0		
94	79	64	C8	P0C	L	I
				TIOA6_1		
				SOT6_1 (SDA6_1)		
				IC11_0		
				S_DATA1_0		
				MALE_0		

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
外部 总线	MCSX0_0	外部总线接口片选输出引脚	95	80	65	B8
	MCSX1_0		96	81	66	A8
	MCSX2_0		101	86	-	D6
	MCSX3_0		100	85	-	A7
	MCSX4_0		98	83	-	C7
	MCSX5_0		97	82	67	D7
	MCSX6_0		104	89	70	C5
	MCSX7_0		106	91	72	A5
	MCSX8_0		35	30	-	H5
	MADATA00_0	外部总线接口数据总线 (地址/数据复用)	2	2	2	C1
	MADATA01_0		3	3	3	C2
	MADATA02_0		4	4	4	D1
	MADATA03_0		5	5	5	D2
	MADATA04_0		6	6	6	D3
	MADATA05_0		7	7	7	E2
	MADATA06_0		8	8	8	E3
	MADATA07_0		9	9	9	E4
	MADATA08_0		10	10	10	F5
	MADATA09_0		11	11	11	F6
	MADATA10_0		12	12	12	G5
	MADATA11_0		13	13	-	G6
	MADATA12_0		14	14	-	E1
	MADATA13_0		15	15	-	F4
	MADATA14_0		16	16	-	F3
	MADATA15_0		17	17	-	F2
	MDQM0_0	外部总线接口字节屏蔽信号输出引脚	93	78	63	A9
	MDQM1_0		92	77	62	B9
	MALE_0	外部总线接口地址锁存使能输出信号， 用于地址/数据复用	94	79	64	C8
	MRDY_0	外部总线接口外部 RDY 输入信号	116	96	76	B2
	MCLKOUT_0	外部总线接口外部时钟输出引脚	99	84	-	B7
	MNALE_0	外部总线接口 ALE 信号， 用于控制 NAND 闪存输出引脚	18	-	-	F1
	MNCLE_0	外部总线接口 CLE 信号， 用于控制 NAND 闪存输出引脚	19	-	-	G1
	MNREX_0	外部总线接口读使能信号， 用于控制 NAND 闪存	21	-	-	G3
	MNWEX_0	外部总线接口写使能信号， 用于控制 NAND 闪存	20	-	-	G2
	MOEX_0	SRAM 的外部总线接口读使能信号	114	94	74	C3
	MWEX_0	SRAM 的外部总线接口写使能信号	113	93	73	B4

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
外部 总线	MSDCLK_0	SDRAM 接口 SDRAM 时钟输出引脚	23	18	-	H1
	MSDCKE_0	SDRAM 接口 SDRAM 时钟使能引脚	24	19	-	H2
	MRASX_0	SDRAM 接口 SDRAM 行地址选通引脚	25	20	-	H3
	MCASX_0	SDRAM 接口 SDRAM 列地址选通引脚	26	21	-	H4
	MSDWEX_0	SDRAM 接口 SDRAM 写使能引脚	34	29	-	J5
外部 中断	INT00_0	外部中断请求 00 输入引脚	2	2	2	C1
	INT00_1		95	80	65	B8
	INT00_2		108	-	-	E6
	INT01_0	外部中断请求 01 输入引脚	3	3	3	C2
	INT01_1		101	86	-	D6
	INT01_2		85	-	-	B10
	INT02_0	外部中断请求 02 输入引脚	6	6	6	D3
	INT02_1		62	52	41	J10
	INT02_2		82	-	-	E7
	INT03_0	外部中断请求 03 输入引脚	113	93	73	B4
	INT03_1		65	55	44	G10
	INT03_2		54	-	-	H8
	INT04_0	外部中断请求 04 输入引脚	17	12	12	F2
	INT04_1		114	94	74	C3
	INT04_2		10	-	-	F5
	INT05_0	外部中断请求 05 输入引脚	89	74	-	B11
	INT05_1		75	65	54	E11
	INT05_2		21	16	-	G3
	INT06_1	外部中断请求 06 输入引脚	88	73	59	C11
	INT06_2		22	17	-	G4
	INT07_1	外部中断请求 07 输入引脚	11	-	-	F6
	INT07_2		7	7	7	E2
	INT08_1	外部中断请求 08 输入引脚	19	14	-	G1
	INT08_2		8	8	8	E3
	INT09_1	外部中断请求 09 输入引脚	20	15	-	G2
	INT09_2		15	10	10	F4
	INT10_1	外部中断请求 10 输入引脚	16	11	11	F3
	INT10_2		112	-	-	C4
	INT11_1	外部中断请求 11 输入引脚	50	45	35	K8
	INT11_2		110	-	-	D5
	INT12_1	外部中断请求 12 输入引脚	32	27	-	L2
	INT12_2		96	81	66	A8
	INT13_1	外部中断请求 13 输入引脚	33	28	-	J3
	INT13_2		49	44	34	J8
	INT14_1	外部中断请求 14 输入引脚	68	58	47	F10
	INT14_2		53	-	-	G7
	INT15_1	外部中断请求 15 输入引脚	52	-	-	H7
	INT15_2		14	9	9	E1

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
GPIO	P60	通用 I/O 端口 6	116	96	76	B2
	P61		115	95	75	B3
	P62		114	94	74	C3
	P63		113	93	73	B4
	P64		112	-	-	C4
	P65		111	-	-	D4
	P66		110	-	-	D5
	P67		109	-	-	E5
	P68		108	-	-	E6
	P70	通用 I/O 端口 7	51	-	-	H6
	P71		52	-	-	H7
	P72		53	-	-	G7
	P73		54	-	-	H8
	P74	通用 I/O 端口 8	55	-	-	J9
	P80		118	98	78	A3
	P81	通用 I/O 端口 E	119	99	79	A2
	PE0		56	46	36	L8
	PE2		58	48	38	L9
	PE3		59	49	39	L10
多功能串行接口 0	SIN0_0	多功能串行接口通道 0 输入引脚	88	73	59	C11
	SIN0_1		65	55	44	G10
	SOT0_0 (SDA0_0)	多功能串行接口通道 0 输出引脚。 用于 UART/CSIO/LIN（操作模式 0 到 3）接口时，该引脚作为 SOT0 使用；而用于 I2C（操作模式 4）时，则作为 SDA0 使用。	87	72	58	C10
	SOT0_1 (SDA0_1)		66	56	45	G9
	SCK0_0 (SCL0_0)		86	71	57	D11
多功能串行接口 1	SCK0_1 (SCL0_1)	多功能串行接口通道 0 时钟 I/O 引脚。 用于 UART/CSIO/LIN（操作模式 0 到 3）接口时，该引脚作为 SCK0 使用；而用于 I2C（操作模式 4）时，则作为 SCL0 使用。	67	57	46	G8
	SIN1_0		96	81	66	A8
	SIN1_1	多功能串行接口通道 1 输入引脚	62	52	41	J10
	SOT1_0 (SDA1_0)		97	82	67	D7
	SOT1_1 (SDA1_1)		63	53	42	H10
	SCK1_0 (SCL1_0)		98	83	-	C7
	SCK1_1 (SCL1_1)		64	54	43	H9

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
复位	INITX	外部复位输入引脚。 当 INITX = L 时，复位有效。	38	33	23	L3
模式	MD1	模式 1 引脚。 闪存串行编程时，MD1 需为低电平。	56	46	36	L8
	MD0	模式 0 引脚。 正常运行时，MD0 需为低电平。闪存串行编程时，MD0 需为高电平。	57	47	37	K9
电源	VCC	电源供电引脚	1	1	1	B1
			31	26	-	K1
			46	41	31	K7
			61	51	-	K11
			91	76	61	A10
			117	97	77	A4
GND	VSS	GND 引脚	107	92	-	A6
			30	25	20	L1
			45	40	30	L7
			60	50	40	L11
			90	75	60	A11
			120	100	80	A1
			-	-	-	K10

半导体器件存储

由于塑料芯片封装是由塑料树脂构成的，因此接触自然环境时它会吸收潮气。在焊接过程中，如果受潮封装被加热，则表面会剥落，从而使防潮性能降低并使封装破裂。要想防止这种情况，请遵循以下原则：

- (1) 避免外界温度剧烈变化，否则潮气会在产品内冷凝成水珠。将产品存储在温度变化小的环境内。
- (2) 使用干燥箱存储产品。应将产品存储在相对湿度低于 70%、温度为 5°C 到 30°C 的环境内。
打开干燥封装时，建议环境相对湿度为 40%到 70%。
- (3) 需要时，赛普拉斯将半导体器件包装在带有硅胶干燥剂的高防潮铝膜真空包装袋内。应将器件密封在这些铝膜真空包装袋内来储存它们。
- (4) 避免将这些封装存储在存在腐蚀性气体或含高粉尘的环境中。

烘烤

已经吸潮的包装可通过烘烤（热烘）除湿。请遵照赛普拉斯所建议的条件进行烘烤。

条件：125°C/24 h

静电

由于静电非常容易对半导体器件产生不利影响，因此必须遵照以下注意事项：

- (1) 将工作环境的相对湿度保持为 40%到 70%。也可能需要离子产生设备以去除静电。
- (2) 通过电气方式将所有输料机、焊舱、焊铁和外围设备接地。
- (3) 使用通过高电阻（1 M Ω 左右）接地的手环或戒指来消除人体静电。
建议穿导电的衣服和鞋，使用导电地垫和其他方法，尽量减少静电引起的冲击能量。
- (4) 将所有夹具和仪器接地，或采用其它防静电措施。
- (5) 避免使用聚苯乙烯泡沫塑料或其他易带静电的材料存储电路板组件成品。

11. 各 CPU 模式下的引脚状态

描述引脚状态的术语含义如下：

■ INITX=0

表示 INITX 引脚为低电平的时间。

■ INITX=1

表示 INITX 引脚为高电平的时间。

■ SPL=0

表示待机模式控制寄存器 (STB_CTL) 中的待机引脚电平设置位 (SPL) 被设置为 0。

■ SPL=1

表示待机模式控制寄存器 (STB_CTL) 中的待机引脚电平设置位 (SPL) 被设置为 1。

■ 输入有效

表示输入功能有效。

■ 内部输入固定为 0

输入功能被禁止。内部输入固定为低电平。

■ 高阻态

引脚驱动晶体管被禁止，引脚处于高阻态。

■ 设置无效

表示设置无效。

■ 保持之前的状态

保持进入当前模式前的瞬间状态。

如果内置外设功能正在运行，则引脚上的信号变化取决于外设功能。

如果该引脚为端口，则输出前状态。

■ 模拟输入有效

表示模拟输入有效。

■ 追踪输出

表示可以使用追踪功能。

■ GPIO 功能

在深度待机模式下，引脚切换到通用 I/O 端口。

■ 设置禁止

根据规范被禁止的设置项。

- *4: 频率为 HCLK 值, PCLK0 = PCLK1 = PCLK2 = HCLK/2
- *5: 允许闪存加速器和追踪缓冲区功能 (FRWTR.RWT = 10, FBFCR.BE = 1)
- *6: 主闪存没有任何数据访问
- *7: 频率为 HCLK 值, PCLK0 = PCLK2 = HCLK/2, PCLK1 = HCLK
- *8: 停止闪存加速器和追踪缓冲区功能 (FRWTR.RWT = 10, FBFCR.BE = 0)
- *9: 使用 4 MHz 的晶振 (包含振荡电路所消耗的电流)

表 12-3 正常工作模式 (PLL) 下的电流消耗的典型值和最大值, 闪存存储器中执行代码并访问数据 (闪存 0 等待周期模式和读访问 0 等待)

参数	符号	引脚名称	条件	频率*4 (MHz)	值		单位	备注
					典型值*1	最大值*2		
电源电流	I _{CC}	V _{CC}	正常工作 (PLL)	*5*6	72 MHz	38	待定	mA *3 所有外设时钟工作
					60 MHz	33	待定	
					48 MHz	28	待定	
					36 MHz	22	待定	
					24 MHz	16	待定	
					12 MHz	9.5	待定	
					8 MHz	6.9	待定	
					4 MHz	4.2	待定	
					72 MHz	29	待定	mA *3 所有外设时钟关闭
					60 MHz	26	待定	
					48 MHz	22	待定	
					36 MHz	18	待定	
					24 MHz	13	待定	
					12 MHz	7.8	待定	
					8 MHz	5.8	待定	
					4 MHz	3.7	待定	

*1: T_A = +25°C, V_{CC} = 3.3 V

*2: T_J = +125°C, V_{CC} = 5.5 V

*3: 所有端口为固定电平

*4: 频率为 HCLK 值, PCLK0 = PCLK1 = PCLK2 = HCLK

*5: 0 等待周期模式 (FRWTR.RWT = 00, FSYNDR.SD = 000)

*6: 使用 4 MHz 的晶振 (包含振荡电路所消耗的电流)

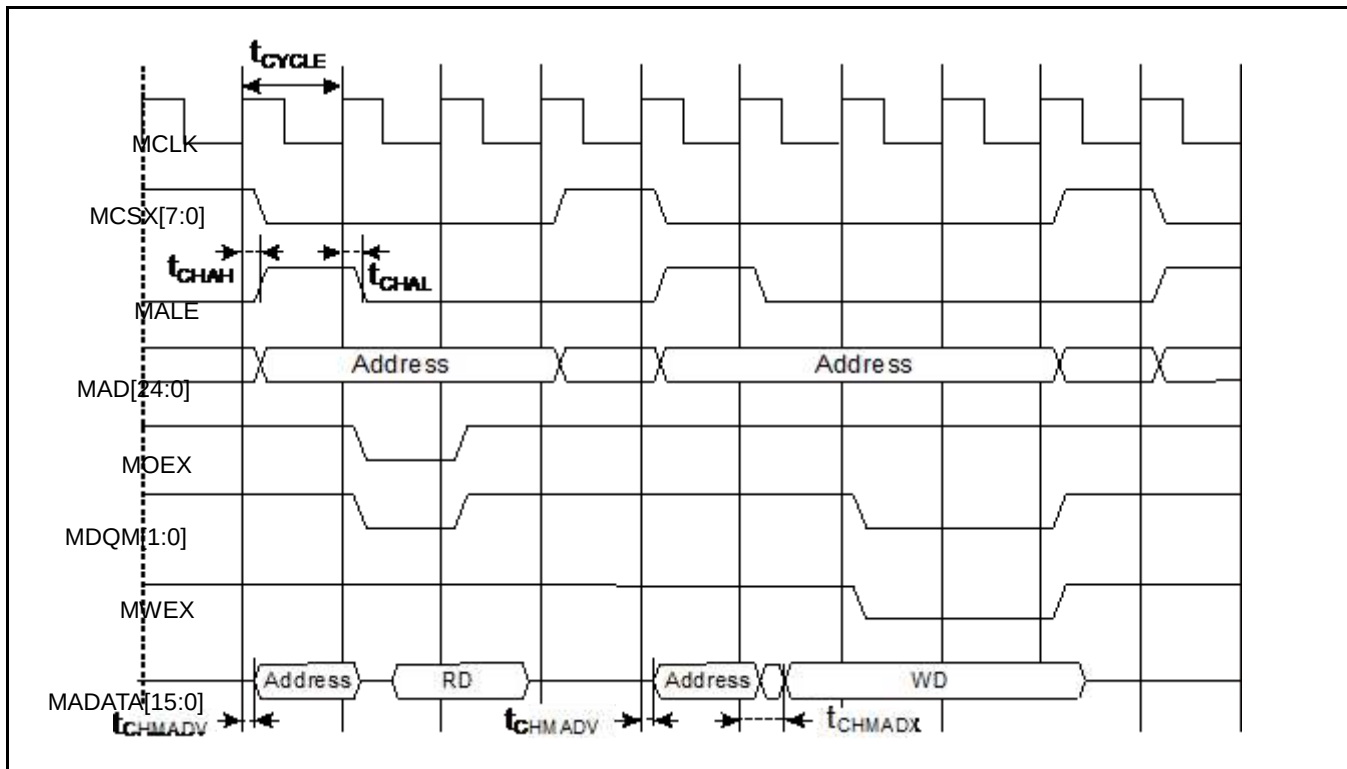
复用总线同步 SRAM 访问模式

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值		单位	备注	
				最小值	最大值			
MALE 延迟时间	t _{CHAL}	MCLK, ALE	V _{CC} ≥ 4.5 V	1	9	ns		
			V _{CC} < 4.5 V		12	ns		
	t _{CHAH}		V _{CC} ≥ 4.5 V	1	9	ns		
			V _{CC} < 4.5 V		12	ns		
MCLK 上升沿到 复用地址输出延迟时间	t _{CHMADV}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V	1	t _{OD}	ns		
			V _{CC} < 4.5 V					
MCLK 上升沿到 复用数据输出时间	t _{CHMADX}			V _{CC} ≥ 4.5 V	1	t _{OD}	ns	
				V _{CC} < 4.5 V				

注意:

- 外部负载电容 C_L 为 30 pF 时

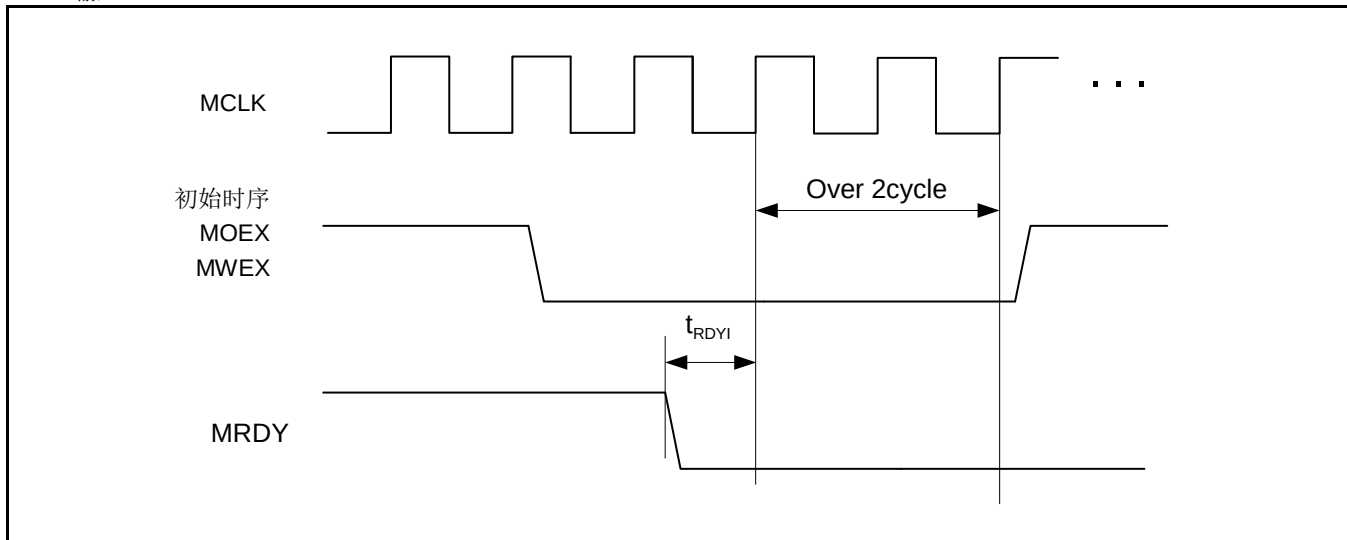


外部就绪信号输入时序

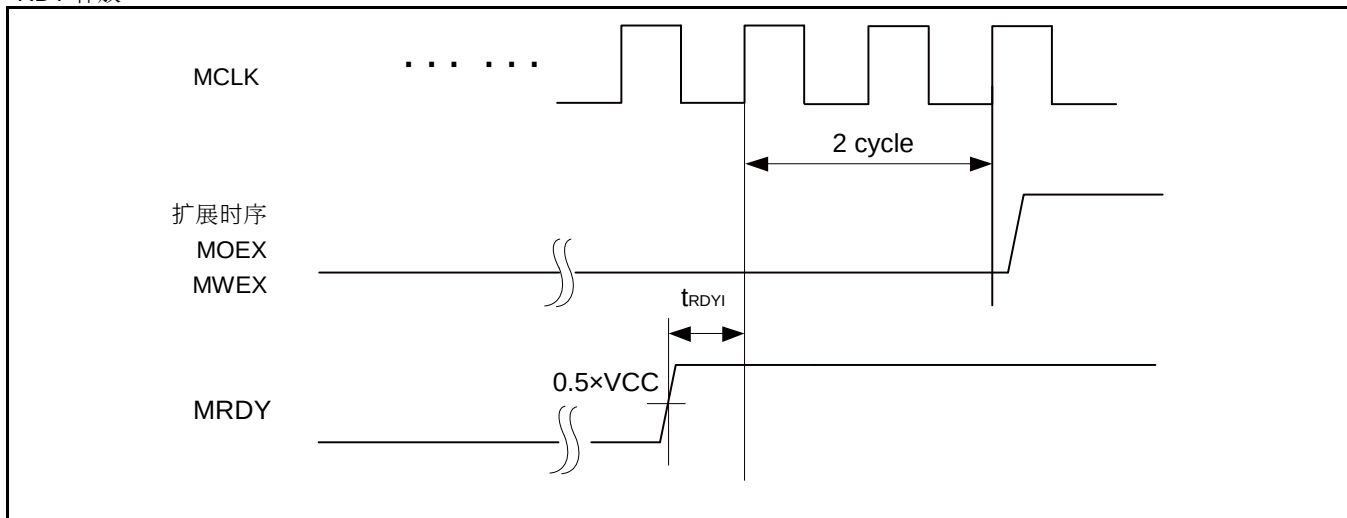
($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
MCLK 上升沿到 MRDY 输入建立时间	t_{RDYI}	MCLK, MRDY	$V_{CC} \geq 4.5\text{ V}$	19	—	ns	
			$V_{CC} < 4.5\text{ V}$	37			

■RDY 输入



■RDY 释放



12.4.11 CSIO 时序

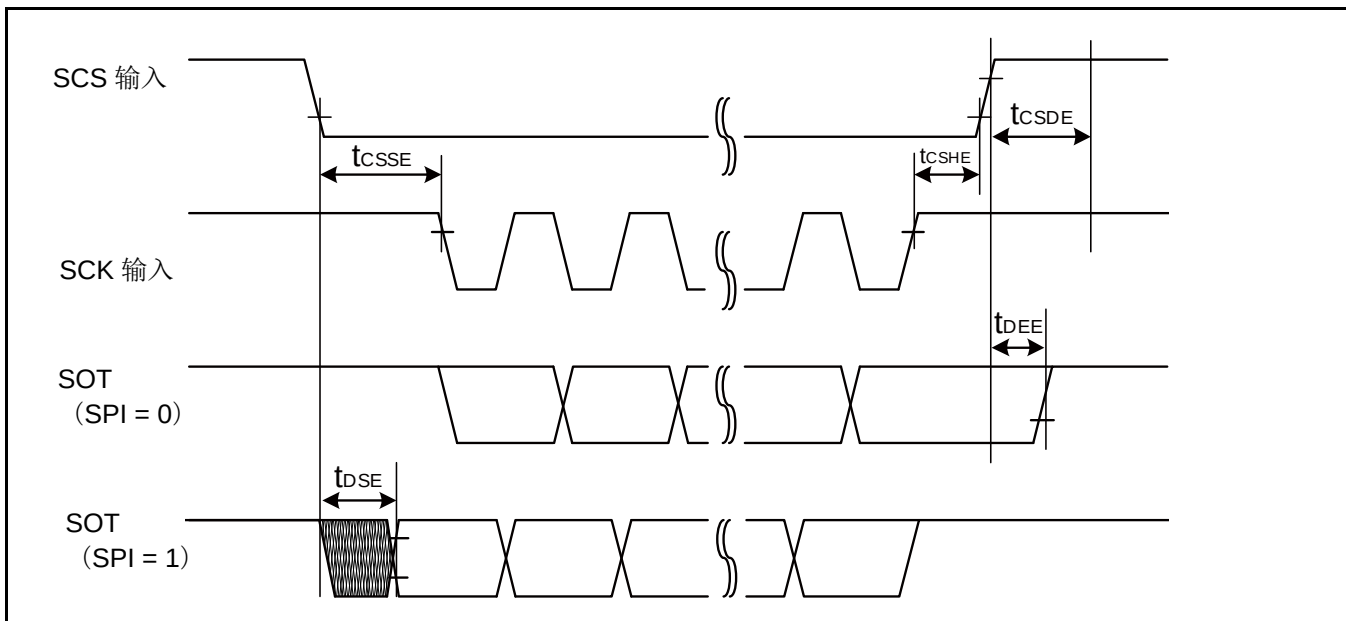
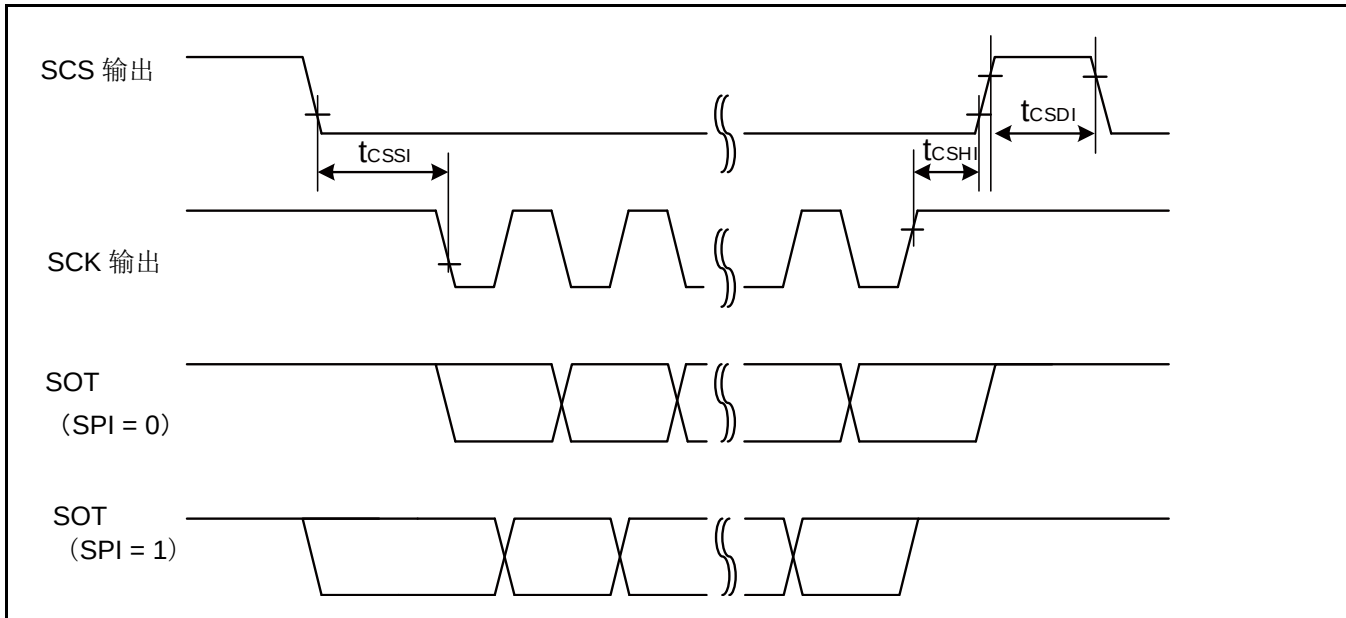
同步串行模式 (SPI = 0, SCINV = 0)

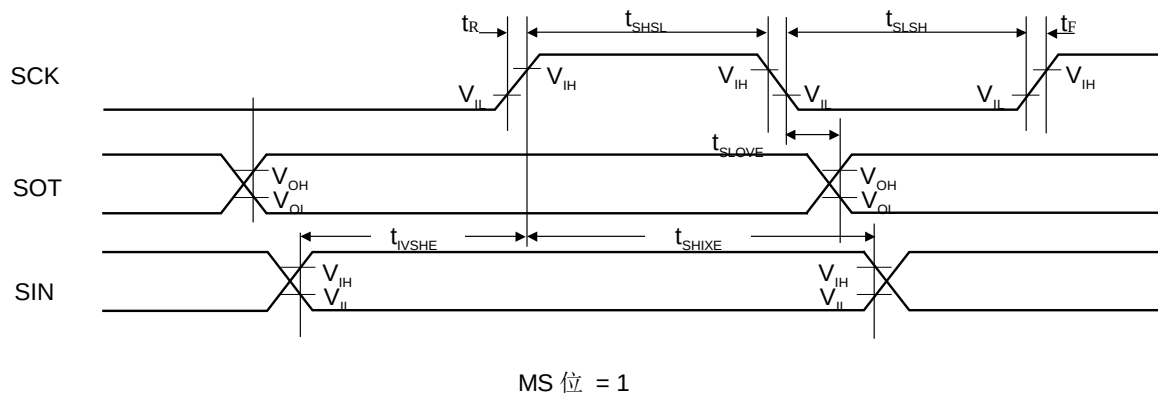
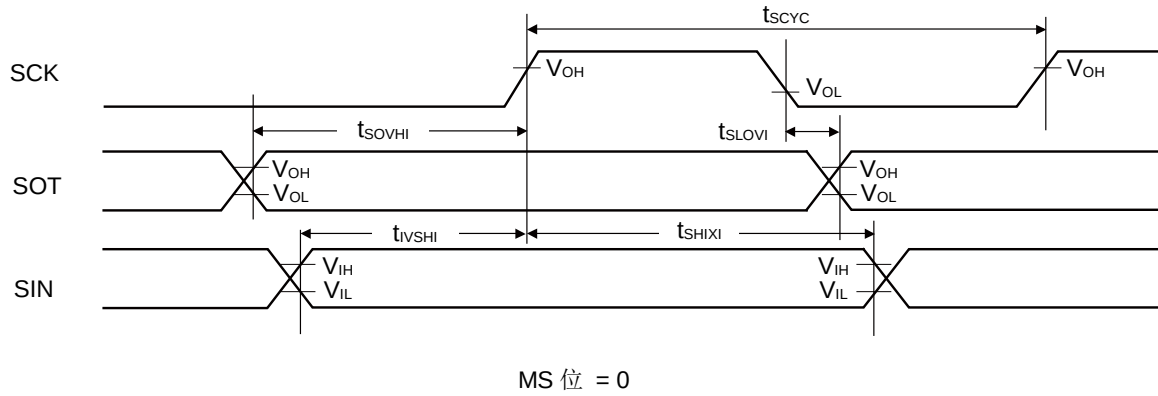
(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V)

参数	符号	引脚名称	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t _{SCYC}	SCKX	内部移位时钟	4t _{CYCP}	—	4t _{CYCP}	—	ns
SCK 下降沿到 SOT 延迟时间	t _{SLOVI}	SCKX, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 上升沿建立时间	t _{IVSHI}	SCKX, SINx		50	—	30	—	ns
SCK 上升沿到 SIN 保持时间	t _{SHIXI}	SCKX, SINx		0	—	0	—	ns
串行时钟低电平脉宽	t _{SLSH}	SCKX	外部移位时钟	2t _{CYCP} - 10	—	2t _{CYCP} - 10	—	ns
串行时钟高电平脉宽	t _{SHSL}	SCKX		t _{CYCP} + 10	—	t _{CYCP} + 10	—	ns
SCK 下降沿到 SOT 延迟时间	t _{SLOVE}	SCKX, SOTx		—	50	—	30	ns
SIN 到 SCK 上升沿建立时间	t _{IVSHE}	SCKX, SINx		10	—	10	—	ns
SCK 上升沿到 SIN 保持时间	t _{SHIXE}	SCKX, SINx		20	—	20	—	ns
SCK 下降时间	t _F	SCKX		—	5	—	5	ns
SCK 上升时间	t _R	SCKX		—	5	—	5	ns

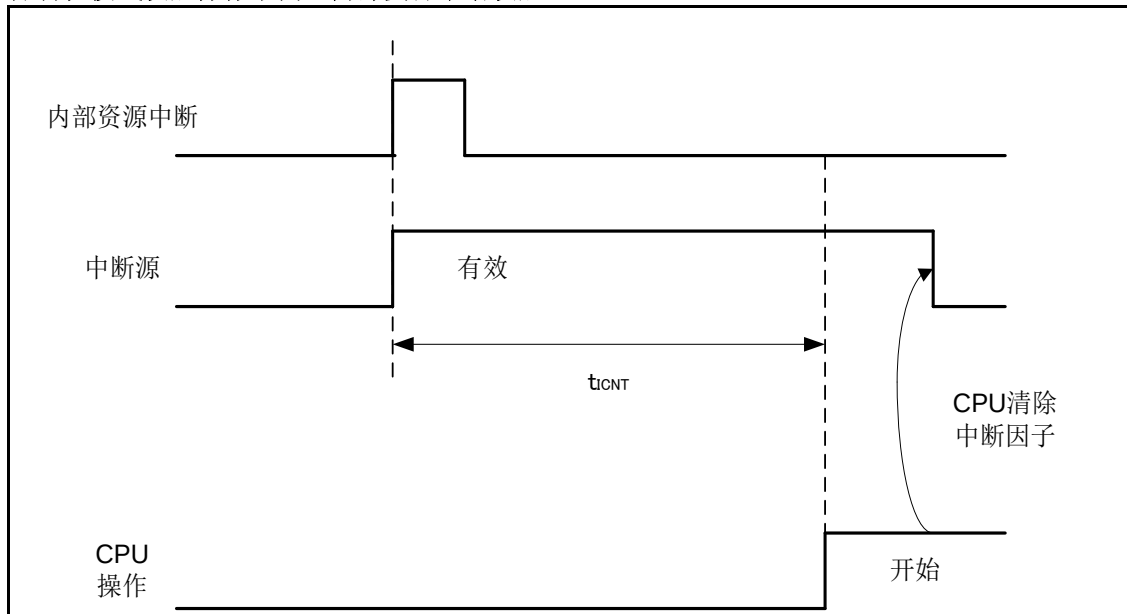
注意:

- 上述特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 这些特性只对相同重定位端口编号有效。
例如, 对 SCLKx_0 和 SOTx_1 的组合为无效。
- 外部负载电容 C_L 为 30 pF。





低功耗模式唤醒操作示例（内部资源中断唤醒*）



*：取决于待机模式，唤醒因素不包含内部中断在内。

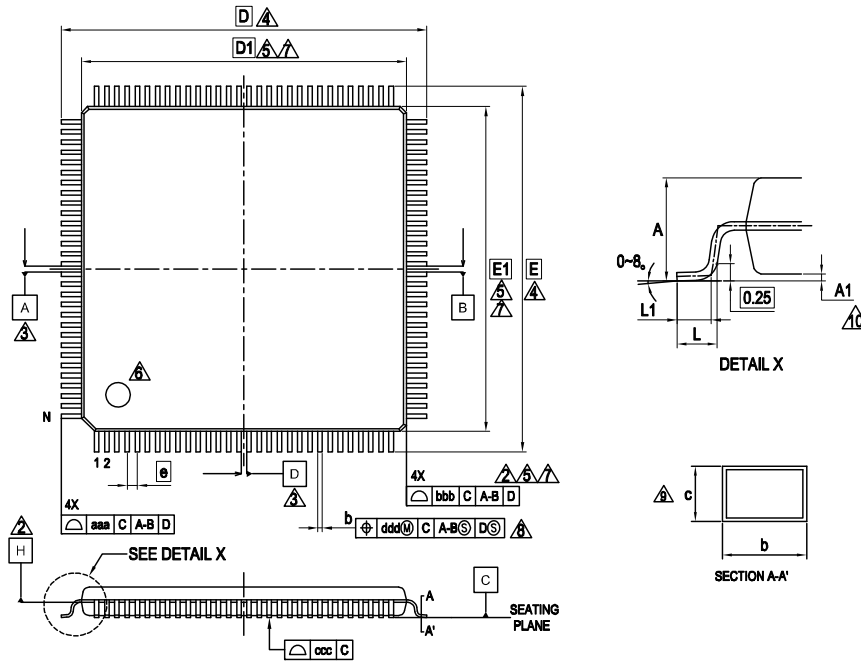
注意：

- 每种低功耗模式的唤醒原因都有所不同。
有关详细信息，请参考“FM4 系列外设手册”中“主要”部分（MN709-00001）的第6章：“低功耗模式和待机模式操作”内容。
- 中断唤醒时，CPU（唤醒）的操作模式取决于发生低功耗模式转换前的状态。有关详细信息，请参考“FM4 系列外设手册”中“主要”部分（MN709-00001）的第6章：“低功耗模式”内容。

14. 封装尺寸

封装类型	封装代码
LQFP120	LQM120

LQM120 , 120 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQM120		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.115	—	0.195
D	18.00 BSC.		
D1	16.00 BSC.		
e	0.50 BSC.		
E	18.00 BSC.		
E1	16.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	120		

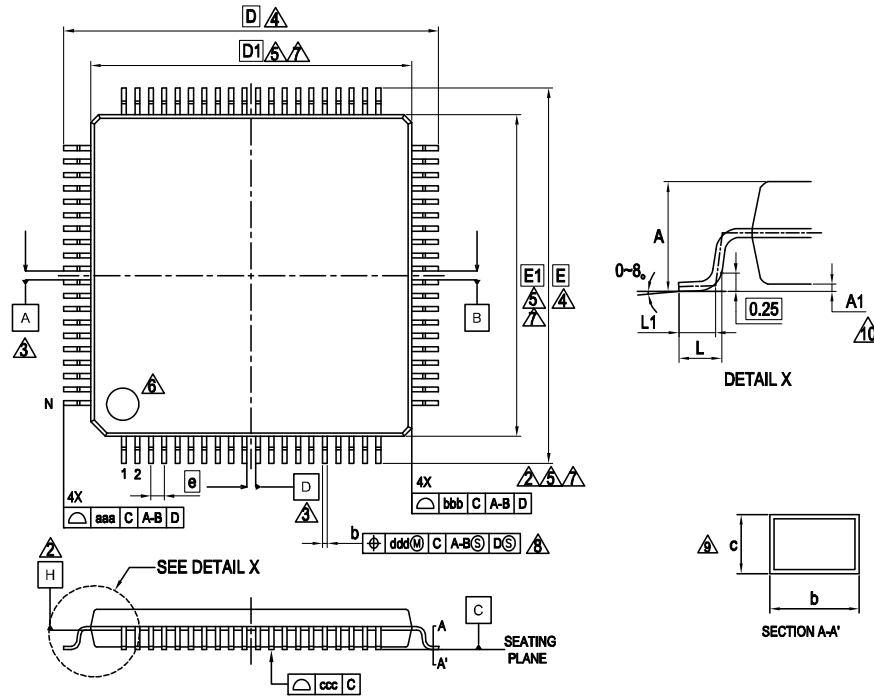
NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

封装类型	封装代码
LQFP80	LQH080

LQH080 , 80 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQH080		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	0.20	0.25
c	0.09	—	0.20
D	14.00 BSC.		
D1	12.00 BSC.		
e	0.50 BSC.		
E	14.00 BSC.		
E1	12.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	80		

NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
- △ DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- △ DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- △ TO BE DETERMINED AT SEATING PLANE C.
- △ DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- △ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- △ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- △ DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBER CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- △ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- △ A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A